

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-095776  
 (43)Date of publication of application : 26.04.1988

(51)Int.Cl. H04N 1/393

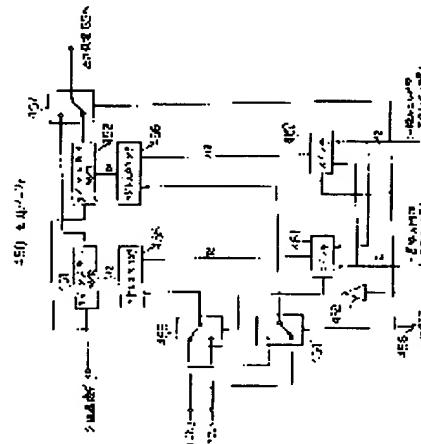
(21)Application number : 61-241123 (71)Applicant : KONICA CORP  
 (22)Date of filing : 09.10.1986 (72)Inventor : ABE YOSHINORI  
 MATSUNAWA MASAHIKO

## (54) PICTURE PROCESSING UNIT CAPABLE OF MAGNIFYING AND REDUCING

### (57)Abstract:

**PURPOSE:** To record a picture to be recorded at the center of recording paper even at picture reduction especially by revising a write start address of a picture data to an output buffer in response to the magnification/reduction processing.

**CONSTITUTION:** A write start address data and a read start address data are controlled so as to be applied alternately at each line by a switch control signal OUTSEL. 0 address is designated for the read start address at all times and the write start address is revised automatically in response to magnification so that the reduced picture is recorded on the center of the paper. Since the write start address is changed in response to the magnification, it is equivalent to the output of 0 data (corresponding to white level data) from the address 0 to the write start address.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑯ 公開特許公報 (A)

昭63-95776

⑯ Int.Cl.<sup>4</sup>  
H 04 N 1/393

識別記号 庁内整理番号  
7170-5C

⑯ 公開 昭和63年(1988)4月26日

審査請求 未請求 発明の数 1 (全36頁)

⑯ 発明の名称 拡大・縮小可能な画像処理装置

⑯ 特願 昭61-241123

⑯ 出願 昭61(1986)10月9日

⑯ 発明者 阿部 喜則 東京都八王子市石川町2970番地 小西六写真工業株式会社  
内

⑯ 発明者 松繩 正彦 東京都八王子市石川町2970番地 小西六写真工業株式会社  
内

⑯ 出願人 コニカ株式会社 東京都新宿区西新宿1丁目26番2号

⑯ 代理人 弁理士 山口 邦夫

明細書

1. 発明の名称

拡大・縮小可能な画像処理装置

2. 特許請求の範囲

(1) 画像情報を光電変換して読み取った画像データを用いて画像の拡大・縮小を行なう拡大・縮小可能な画像処理装置において、  
上記画像データに対する入力バッファ及び出力バッファが設けられ、

この出力バッファへの画像データの書き込み開始アドレスを上記拡大・縮小処理に応じて変更するようにしたことを特徴とする拡大・縮小可能な画像処理装置。

(2) 上記出力バッファへの書き込み開始アドレスを拡大・縮小倍率に応じて変更するようにしたことを特徴とする特許請求の範囲第1項記載の拡大・縮小可能な画像処理装置。

(3) 上記出力バッファへの書き込み開始アドレスを記録紙サイズに応じて変更するようにしたこ

とを特徴とする特許請求の範囲第1項記載の拡大・縮小可能な画像処理装置。

(4) 上記出力バッファへの書き込み開始アドレスを原稿の読み取りあるいは書き込み基準位置に応じて変更するようにしたことを特徴とする特許請求の範囲第1項記載の拡大・縮小可能な画像処理装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、データ補間を使用して原画像の拡大・縮小を行なうようにした入出力バッファを有する拡大・縮小可能な画像処理装置に関する。

[発明の背景]

原画像を拡大・縮小することのできる画像記録装置において、画像読み取り手段として CCDなどの光電変換素子を使用する場合には、光電変換素子で読み取った原画像の画素データに対して、拡大・縮小倍率に応じて適当な画像データを増加したり、間引いたりすることによって拡大・縮小さ

## 特開昭63-95776(2)

れた画像信号を得るようにしているのが一般的である。

第46図はこのような画像処理装置に使用される拡大・縮小を実行するための処理系の一例を示す要部のブロック図である。

同図において、40は画像データ用のメモリであり、その入力端子41には画像読み取り手段によって読み取られた画像データDが拡大・縮小処理されて供給される。出力端子42に得られる出力画像データは記録装置などに供給されて拡大・縮小画像が再現される。

拡大・縮小を行なう場合には、記録装置の記録幅によりメモリ40への画像データ量が制限されるが、その場合にはメモリ40に対するアドレス発生器47の発生タイミングが拡大・縮小に応じて制御される。

そのため、プリセット可能な第1及び第2のカウント43、44が設けられ、夫々のプリセット値P1、P2まで、所定周波数のクロックCK(第47図C)をカウントすると、第1及び第2

が制限される。

縮小の場合には、ウインドウパルスWPと水平有効域信号H-VALIDの幅は同じで処理される。

これに対し、拡大の場合には、画像データ数が増加するので、予めその分を見込んで、水平有効域信号H-VALIDの幅に対してウインドウパルスWPの幅を狭くしてデータ数を減らすようしている。

### [発明が解決しようとする問題点]

ところで、上述した拡大・縮小処理機能を有する従来の画像処理装置においては、次のような問題点を惹起する。

すなわち、第46図に示すような構成では、拡大・縮小の倍率に応じてメモリ40に書込むべき画像データ量が制限されるものの、その書き込みアドレスは倍率に拘らず、常に最初のアドレス(0アドレス)が指定されることになるから、特に、画像読み取りあるいは画像記録が原稿(記録紙)の中央を基準にして実行されるような画像処理装置に適用する場合には、倍率によっては記録すべ

の出力パルスC1、C2が生成される(第47図D、E)。

第1の出力パルスC1でフリップフロップ45がセットされ、第2の出力パルスC2でリセットされることにより、同図Fに示すウインドウパルスWPが形成される。このウインドウパルスWPがゲート回路46にゲートパルスとして供給され、ウインドウパルスWPの幅W1だけアドレス発生器47にクロックCKが供給される。ただし、このクロックCKは拡大・縮小された画像データに同期したクロックである。

その結果、期間W1だけメモリ40に対するアドレスデータが生成されるから、第47図Aの水平有効域信号H-VALIDにより規制される画像データ(同図B)のうち、期間W1に対応する画像データがメモリ40に書き込まれる(同図G)。

従って、プリセット値P1、P2を拡大・縮小の倍率に応じて変更すれば、この変更に応じてウインドウパルスWPの幅W1が変化するので、これによってメモリ40に書き込まれる画像データ量

が制限される。

缩小の場合には、ウインドウパルスWPと水平有効域信号H-VALIDの幅は同じで処理される。これに対し、拡大の場合には、画像データ数が増加するので、予めその分を見込んで、水平有効域信号H-VALIDの幅に対してウインドウパルスWPの幅を狭くしてデータ数を減らすようになっている。

これは、メモリ40における最初の書き込みアドレス、すなわち0アドレスは出力装置(レーザプリンタなどの記録装置)の書き込み開始位置に対応しているからである。従って、記録すべき記録紙Pのサイズが小さいようなときには、記録紙の転写領域外にならることが考えられ、その場合には縮小画像を記録紙上に正しく記録することができない。

記録紙Pのサイズが大きいようなときでも、縮小画像は記録紙Pの端に詰めて記録されてしまう

欠点がある。

さらに、拡大処理時には、元の原稿の余白部分も拡大される結果、第49図Cに示すように拡大されることになる。そのため、必要な範囲の画像を所定の記録紙P上に記録できなくなるおそれがある。

そこで、この発明は上述した従来の問題点を解決したものであって、特に画像縮小時においても記録すべき画像が記録紙の中央を基準にして記録されるようにした拡大・縮小可能な画像処理装置を提案するものである。

#### [問題点を解決するための手段]

上述の問題点を解決するために、この発明では、画像情報を光電変換して読み取った画像データを用いて画像の拡大・縮小を行なう拡大・縮小可能な画像処理装置において、

画像データに対する入力バッファ及び出力バッファが設けられる。

この出力バッファへの画像データの書き込み開始アドレスを拡大・縮小処理に応じて変更するよ

り装置に適用した場合である。

従って、まずこの発明が適用されるこのようなカラー画像処理装置の概略構成を第1図を参照して説明する。

原稿などの画像情報は画像読み取り装置50で画像信号に変換されたのち、A/D変換処理、シェーディング補正処理、色分離処理、その他の画像処理がなされることによって、各色信号に対応した所定ピット数の画像データ、例えば、16階調(0~F)の画像データに変換される。

各画像データは拡大・縮小回路2において、拡大・縮小などの画像処理が直線補間法に基づいて実行される。この場合、拡大・縮小処理後の画像データとして使用される補間データは補間テーブル(補間ROM)に格納されており、この補間データを選択するための信号としては、拡大・縮小処理前の画像データとデータROMに格納された補間選

択データが使用される。必要な補間選択データは倍率指定に応じてシステムコントロール回路80

うにしたことを持つとするものである。

#### [作用]

出力バッファへの書き込み開始アドレスは倍率(特に画像縮小時)や記録紙サイズに応じて変更される。

こうすれば、倍率に応じて書き込み開始アドレスが変わるので、0アドレスからこの書き込み開始アドレスまでは“0”データ(白に相当するデータ)が出力されたのと等価になる。

ここで、縮小画像が記録紙の中央を基準にして記録されるように、書き込み開始アドレスが設定される。

#### [実施例]

以下、この発明に係る拡大・縮小可能な画像処理装置の一例を、中央線1を基準にして読み出し処理及び記録処理されるタイプのものに適用した場合につき、第1図以下を参照して詳細に説明する。

ただし、以下に示す実施例は、出力装置として電子写真式カラー複写機を使用したカラー画像処

からの指令に基づいて選択される。

画像処理後の画像データは出力装置65に供給され、外部で設定された倍率で画像が記録される。出力装置65としては、電子写真式のカラー複写機を使用することができる。

画像読み取り装置50にはCCDなどの画像読み取り手段を駆動するための駆動モータや露光ランプなどが付設されているが、これらはシーケンス制御回路70からの指令信号により所定のタイミングをもって制御される。シーケンス制御回路70には、ポジションセンサ(特に、図示せず)からのデータが入力される。

操作・表示部75では、倍率指定、記録位置の指定、記録色の指定などの各種入力データがインプットされたり、その内容などが表示される。表示手段はLEDなどの素子が使用される。

上述した各種の制御及び画像処理装置全体のコントロール及び状態の管理などはシステムコントロール回路80によって制御される。そのため、このシステムコントロールはマイクロコンピュー

タ制御が適切である。

図はマイクロコンピュータ制御の一例であって、コントロール回路80と上述した各種の回路系との間はシステムバス81によって、必要な画像処理データ及び制御データの収受が行なわれることになる。

画像読み取り装置50に対しては、画像読み取り開始信号、シェーディング補正のための開始信号、記録色指定信号などがシステムバス81を介して供給される。

拡大・縮小回路2に対しては、操作・表示部75で指定された倍率データや、記録する画像の種類や濃度などに応じて画像データを2進化するための閾値を選択する閾値選択データなどがコントロール回路80を取り込まれてからシステムバス81を介して供給されるものである。

出力装置65に対しては、画像記録のためのスタート信号や記録紙サイズの選択信号などが供給される。

統いて、これらの構成要素について、詳細に説

なされる。

像露光後は所定の現像器によって現像される。現像器は色分解像に対応した数だけ配置される。この例では赤のトナーの現像剤が充填された現像器205と、青のトナーの現像剤が充填された現像器206と、黒のトナーの現像剤が充填された現像器207とが、像形成体201の回転方向に向ってこれらの順で、順次像形成体201の表面に對向配置される。

現像器205～207は像形成体201の回転に同期して順次選択され、例えば現像器207を選択することによって黒の色分解像に基づく静電像にトナーが付着することにより、黒の色分解像が現像される。

現像器207側には転写前帶電器209と転写前露光ランプ210とが設けられ、これらによつてカラー画像を記録体Pに転写しやすくしている。ただし、これらの転写前帶電器209及び転写前露光ランプ210は必要に応じて設けられる。

像形成体201上に現像されたカラー画像若し

明する。

説明の都合上、まず、この発明に適用できる簡易形のカラー複写機の構成の一例を第13図を参照して説明することにする。

図示のカラー複写機は色情報を3種類程度の色情報に分解してカラー画像を記録しようとするものである。分解すべき3種類の色情報として、この例では、黒BK、赤R及び青Bを例示する。

第13図において、200はカラー複写機の要部の一例であつて、201はドラム状をなす像形成体で、その表面にはセレンSe等の光導電性感光体表層が形成され、光学像に対応した静電像(静電潜像)が形成できるようになされている。

像形成体201の周面にはその回転方向に向かって順次以下に述べるような部材が配置される。

像形成体201の表面は帶電器202によって、一様に帶電され、その後、露光ランプ203によってその表面が弱い光で一様に露光される。帶電、露光された像形成体201の表面には各色分解像に基づく像露光(その光学像を204で示す)が

くは白黒画像は転写器211によって、記録体P上に転写される。転写された記録体Pは後段の定着器212によって定着処理がなされ、その後排紙される。

なお、除電器213は除電ランプと除電用コロナ放電器の一方または両者の組合せからなる。

クリーニング装置214はクリーニングブレードやファーブラシで構成され、これによって像形成体201のカラー画像を転写した後のドラム表面に付着している残留トナーを除去するようにしている。

この除去作業は、現像が行なわれた表面が到達するときまでには像形成体201の表面から離れるようになされていることは周知の通りである。

帶電器202としてはスコロトロンコロナ放電器などを使用することができる。これは、先の帶電による影響が少なく、安定した帶電を像形成体201上に与えることができるからである。

像露光204としては、レーザビームスキャナによって得られる像露光を利用することができる。

レーザビームスキャナの場合には、鮮明なカラー画像を記録することができるからである。

色トナー像を重ね合せるために繰り返される少なくとも第2回以降の現像については、先の現像により像形成体201に付着したトナーを後の現像でずらしたりすることなどないようにしなければならない。その意味でこのような現像は非接触ジャンピング現像によることが好ましい。

第13図はこのような非接触ジャンピングによって現像するタイプの現像器を示す。

現像剤としてはいわゆる2成分現像剤を使用するのが好ましい。この2成分現像剤は色が鮮明で、かつトナーの帶電効率が容易だからである。

第2図は画像読み取り装置50の一例を示す。

同図において、原稿52のカラー画像情報（光学像）はダイクロイックミラー55において、2つの色分解像に分離される。この例では、赤Rの色分解像とシアンCyの色分解像とに分離される。そのため、ダイクロイックミラー55のカットオフは600nm程度のものが使用される。これによっ

て次段の色分離回路150に供給され、カラー画像記録に必要な複数の色信号に分離される。

上述の例では、赤R、青B及び黒BKの3色でカラー画像を記録するようにしたカラー記録装置であるので、色分離回路150ではこれら3色の色信号R、B、BKに分離されることになる。色分離の具体例については後述する。

色信号R、B、BKは色選択回路160においてそのうちの1つの色信号が選択される。これは、上述したように、像形成体201の1回転につき1色のカラー画像が現像されるような画像形成処理プロセスを採用しているからであり、像形成体201の回転に同期して現像器205～207が選択されると共に、これに対応した色信号が色選択回路160において選択されることになる。

端子170には色信号に対する選択信号G1～G3が供給される。この選択信号G1～G3は、3色記録、つまり通常のカラー記録モード（マルチカラーモード）の場合と、単色記録、つまり色指定記録モード（モノカラーモード）の場合とによっ

て、赤成分が透過光となり、シアン成分が反射光となる。

赤R及びシアンCyの各色分解像は夫々CCDなどの画像読み取り手段56、57に供給されて、夫々から赤成分R及びシアン成分Cyのみの画像信号が出力される。

第3図は、画像信号R、Cyと各種のタイミング信号との関係を示し、水平有効域信号H-VALID（同図C）はCCD56、57の最大原稿読み取り幅W（第48図参照）に対応し、同図F及びGに示す画像信号R、Cyは同期クロックCLK1（同図E）に同期して読み出される。

これら画像信号R、Cyは正規化用のアンプ58、59を介してA/D変換器60、61に供給されることにより、所定ビット数のデジタル信号に変換される。

このデジタル画像信号はシェーディング補正される。63、64は同一構成のシェーディング補正回路を示す。その具体例は後述する。

シェーディング補正されたデジタルカラー画像信

号は次段の色分離回路150に供給され、カラー画像記録に必要な複数の色信号に分離される。

なお、カラー原稿から3色の色信号に分離する色分離処理は像形成体201の1回転毎に実行されるが、像形成体201の予備回転中に1回だけ実行するようにしてもよい。

さて、原稿にランプを照射して反射光をレンズで集光し、画像を読み取る装置においては、ランプ、レンズなどの光学的問題からシェーディングと呼ばれる不均一な光像が得られる。

第4図において、主走査方向の画像データをV1、V2…Vnとすると、その主走査方向の両端でレベルが下がっている。そこで、これを補正するためにシェーディング補正回路63、64では、次のような処理を行なっている。

第4図でVRは画像レベルの最大値、V1は均一濃度の基準白色板（図示せず）の白色を読み込んだときの1ビット目の画像レベルである。実際に、画像を読み取ったときの画像レベルをd1とする

と、補正された画像の階調レベル  $d1'$  は次のようになる。

$$d1' = d1 \times VR / V1$$

この補正式が成立するように各画素の画像データごとにその補正が行なわれる。

第5図はシェーディング補正回路63の一例を示す。

RAMなどで構成された第1のメモリ66aは、白色板を照射したときに得られる1ライン分の正規化用の信号（シェーディング補正データ）を読み込むためのメモリである。

第2のメモリ66bは画像読み取り時に、第1のメモリ66aに記憶されたシェーディング補正データに基づいてその画像データを補正するためのもので、ROMなどが使用される。

シェーディング補正に際しては、まず白色板を走査して得た1ライン分の画像データが第1のメモリ66aに記憶される。原稿の画像読み取り時にはその画像データが第2のメモリ66bのアドレス端子A0～A5に供給されると共に、第1のメモ

リの色分離を行なう。座標軸の決定に際しては、次の点を考慮する必要がある。

- I. 中間調を表現できるようにするため、テレビジョン信号の輝度信号に相当する原稿52の反射率（反射濃度）の概念を取り入れる。
- II. 赤、シアンなどの色差（色相、彩度を含む）の概念を取り入れる。

従って、輝度信号情報（例えば、5ビットのデジタル信号）と色差信号情報（同様に、5ビットのデジタル信号）として例えば以下のものを用いるとよい。

$$\text{輝度信号情報} = VR + VC \quad (1)$$

ただし、

$$0 \leq VR \leq 1.0 \quad (2)$$

$$0 \leq VC \leq 1.0 \quad (3)$$

$$0 \leq VR + VC \leq 2.0 \quad (4)$$

VR, VCの和（VR+VC）は黒レベル（=0）から白レベル（=2.0）までに対応し、全ての色は0から2.0の範囲に存在する。

$$\text{色差信号情報} = VR / (VR + VC) \text{ または }$$

リ66aから読み出されたシェーディング補正データがアドレス端子A6～A11に供給される。従って、第2のメモリ66bからは上述の演算式にしたがってシェーディング補正された画像データが出力される。

上述した色分離（2色から3つの色信号への色分離）は次のような考え方に基づいて行なわれる。

第6図は色成分のカラーチャートの分光反射特性を模式的に示したものであって、同図Aは無彩色の分光反射特性を、同図Bは青色の分光反射特性を、そして同図Cは赤色の分光反射特性を夫々示す。

その横軸は波長（nm）を、縦軸は相対感度（%）を示す。従って、ダイクロイックミラー55の分光特性を600nmとすれば、赤成分Rが透過し、シアン成分Cyが反射される。

白色を基準として正規化した赤信号RのレベルをVR、シアン信号CyのレベルをVCとするとき、これら信号VR, VCから座標系を作成し、作成されたこの色分離マップに基づいて赤、青及び

$$VC / (VR + VC) \quad (5)$$

無彩色の場合には、全体のレベル（VR+VC）に含まれる赤レベルVR、シアンレベルVCの割合は一定である。従って、

$$VR / (VR + VC) = VC / (VR + VC) = 0.5 \quad (6)$$

となる。

$$0.5 < VR / (VR + VC) \leq 1.0 \quad (7)$$

$$0 \leq VC / (VR + VC) < 0.5 \quad (8)$$

シアン系色では、

$$0 \leq VR / (VR + VC) < 0.5 \quad (9)$$

$$0.5 < VC / (VR + VC) \leq 1.0 \quad (10)$$

のように表現することができる。

従って、座標軸として（VR+VC）とVR/（VR+VC）もしくは（VR+VC）とVC/（VR+VC）を乙軸とする座標系を用いることにより、レベル比較処理だけで有彩色（赤系とシアン系）、無彩色を明確に分離することができること。

第7図には、その縦軸に輝度信号成分 $(VR+VC)$ を、その横軸に色差信号成分 $VC/(VR+VC)$ をとったときの座標系を示す。

色差信号成分として $VC/(VR+VC)$ を使用すれば、0.5より小さい領域は赤系R、0.5より大きい領域はシアン系C<sub>y</sub>となる。色差信号情報=0.5近傍及び輝度信号情報が少ない領域に夫々無彩色が存在する。

第8図はこのような色分離方法に従って色区分を行なった色分離マップの具体例を示す。色分離マップはROMテーブルが使用され、図示の例は $32 \times 32$ のブロックに分けられている例を示す。そのため、このROMテーブルに対するアドレスビット数としては行アドレスが5ビット、列アドレスが5ビット使用される。

このROMテーブル内には、原稿52の反射誤度から得られた量子化された誤度対応値が格納されている。

第9図はこのような色分離を実現するための色分離回路150の一例を示す要部の系統図である。

することによってカラー原稿のカラー情報信号から、赤、青、および黒の3つの色信号R、B、BKに分離して出力させることができる。

夫々のメモリ154～156からは各色信号に関する誤度データ(4ビット構成)と、2ビット構成のカラーコードデータとが同時に出力される。

誤度データとカラーコードデータは夫々後段の合成器157、158において合成される。合成された誤度データとカラーコードデータはゴーストキャンセラー(図示せず)に供給されて、ゴースト信号の除去処理が行なわれることになる。

ゴースト除去後の各データは第10図に示す色選択回路160に供給される。

端子161に供給されたカラーコードデータはデコーダ164に供給されてカラーコードがデコードされると共に、そのデコード出力がオア回路166～169に供給される。同様に、端子163に供給された色選択信号G1～G3はデコーダ165においてそのデータ内容がデコードされると共に、そのデコード出力が上述した複数のオ

同図において、端子150a、150bには3色に色分離する前の赤信号R及びシアン信号C<sub>y</sub>が供給され、演算処理回路151において、階調変換、補正等の処理が実行される。

演算処理後のデータは、輝度信号データを求めるための $(VR+VC)$ の演算結果が格納されたメモリ152に対するアドレス信号として利用されると共に、色差信号データ $VC/(VR+VC)$ の演算結果が格納されたメモリ153に対するアドレス信号として利用される。

これらメモリ152、153の各出力は分離メモリ(ROM構成)154～156のアドレス信号として利用される。メモリ154～156は第8図に示した色分離マップのデータが各色毎に格納されたデータテーブルが使用される。

メモリ154は黒信号BK用であり、メモリ155は赤信号R用であり、メモリ156は青信号B用である。

第8図に示す色分離マップからも明らかのように、赤信号R及びシアン信号C<sub>y</sub>のレベルを検出

ア回路166～169に供給されて、赤から黒まで及びこれらの色の全てを含む信号(全カラー)のうちの任意の色信号が選択できるようになされている。

各オア回路166～169から出力された色信号に対するセレクト信号は誤度選択信号として誤度信号分離回路162に供給される。この誤度信号分離回路162には、上述した誤度データが供給され、上述のセレクト信号に応じてこの誤度データが選択されるものである。

選択された誤度データは拡大・縮小回路2に供給される。

色選択信号G1～G3は分離された各色信号に対応するもので、通常のカラー記録モードでは、像形成体201の回転に同期した3相のゲート信号G1～G3が形成される(第11図G～I)。同時に、現像器205～207にも、第11図C～Eに示す現像バイアスが像形成体201の回転に同期して各現像器205～207に供給されることになる。

## 特開昭 63-95776 (8)

その結果、各色に対する露光プロセス I～III（同図 F）をもって、順次露光、現像処理工程が実行される。

これに対し、色指定記録モードの場合には、指定された単一の画像形成処理プロセスとなる。

そのため、第 12 図に示すように指定された色信号に関係なく 3 つの選択信号 G1～G3 が同相で得られる（同図 G～I）。第 12 図に示す例は赤色を指定した場合である。

これと同時に、対応する現像器 205 にのみ現像バイアスが供給されて（同図 D）、これが稼働状態となる。従って、現像器としては赤のトナー（現像剤）の入った現像器 205 のみが駆動されることになるから、カラー原稿の色情報にかかわりなく、赤色をもって画像が記録される。

他の色（黒もしくは青）を指定する場合も、その画像形成処理プロセスは同様であるので、その詳細な説明は省略する。

第 14 図は拡大・縮小回路 2 の一例を示すブロック図である。

制信号 H-SYNC が供給される。

そして、このタイミング信号発生回路 10 からは、まず水平有効域信号 H-VALID の期間だけ出力される同期クロック CLK2 が出力される。これは同期クロック CLK1 と同一周波数である。

さらに、入力バッファ 400 及び出力バッファ 450 に夫々設けられたメモリに対するメモリコントロール信号 INSEL、OUTSEL が出力される。

色選択回路 160 から各色信号毎に送出された 16 倍調レベルを有する画像データ D は入力バッファ 400 に供給される。

入力バッファ 400 は次のようない由に基づいて設けられたものである。

すなわち、第 1 に拡大処理時には使用される画像データの数が処理前よりも増加するため、基本クロックの周波数を高くすることなく、データ増加後の処理速度を実効的に高めることができるようにするためである。

第 2 に、拡大処理における拡大画像が中央を基準にして記録されようとするためである。

この例では、0.5 倍から 2.0 倍までの間を 1.0 % まで拡大・縮小することができるようとした場合である。

ここで、この発明でも原理的には、拡大処理は画像データを増加し、縮小処理は画像データを間引くような補間処理である。そして、第 48 図に示す主走査方向の拡大・縮小は電気的な信号処理で行い、副走査方向（像形成体の回転方向）の拡大・縮小処理は、画像読み取り装置に設けられた光電変換素子の露光時間を一定にした状態で光電変換素子または画像情報の移動速度を変えて行なうようにしている。

副走査方向の移動速度を遅くすると原画像が拡大され、速くすると縮小されることになる。

第 14 図において、タイミング信号発生回路 10 は拡大・縮小回路 2 全体の処理タイミングを制御するタイミング信号などを得るためのものであって、これには CCD56, 57 に対する同期クロック CLK1、水平有効域信号 H-VALID、垂直有効域信号 V-VALID 及び水平回

それ故、拡大処理時は第 1 の条件を満たすため、この入力バッファ 400 に供給される読み出しクロック RDCLK の周波数が通常時の周波数よりも低下せしめられる。そして、第 2 の条件を満たすため、読み出し開始アドレスが倍率に応じて設定される。その詳細は後述する。

拡大・縮小の指定倍率に応じて出力された画像データ D は継続接続された 2 つのラッチ回路 11, 12 に供給されて、4 ピット構成の画像データ、従って中間調レベルをもって出力された画像データ D のうち隣接した 2 つの画素の画像データ D1, D0 がラッチクロック DLCK のタイミングでラッチされる。ラッチクロック DLCK は同期クロック CLK1 と同一周波数である。

ラッチ回路 11, 12 でラッチされた画像データ D0, D1 は補間データ用のメモリ（ROM 使用、以下補間 ROM という） 13 に対するアドレスデータとして使用される。

補間 ROM 13 は隣接する 2 つの画像データから参照される新たな中間調レベルを有する画像データ

タ（以下この画像データを補間データSという）が記憶されている補間データテーブルである。

補間ROM13のアドレスデータとしては、上述した一対のラッチデータD0, D1の他に、補間選択データSDが利用される。

300は、補間選択データSDなどを格納した補間データ選択手段である。詳細は後述するとして、補間選択データSDは、一対のラッチデータD0, D1によって選択されたデータテーブル群のうち、どのデータを補間データとして使用するかを決定するためのアドレスデータとして利用される。

補間選択データSDは、後述するように拡大・縮小のための設定倍率により決定される。

第15図は、ラッチデータD0, D1と補間選択データSDによって選択される補間データSの一例を示すものである。実施例では、D0, D1のデータを直線補間したものを補間データとしている。

第15図において、Sは16階調レベルでもって出力される補間データ（4ビット）で、ラッチ

タSはラッチ回路14でラッチされたのち、2値化手段69に供給されて、その画像データに対応した2値化処理が行なわれる。

2値化処理された“1”, “0”的2値画像データは出力バッファ450に供給される。出力バッファ450は画像縮小時において画像データが減少することにより生じる無効データを処理するために設けられる。さらに、画像縮小時、縮小画像が記録紙Pの中央を基準にして記録できるようにするためである。

出力バッファ450から得られた最終的な2値データは出力装置65に供給されて、この2値データに基づいて画像が記録される。

ラッチ回路14と出力バッファ450との間に設けられた2値化手段69の一例を再び第14図を参照して説明する。

図において、主走査カウンタ20は出力バッファ450の書き込みクロックLCK2をカウントするためのものであり、副走査カウンタ21は水平同期信号H-SYNCをカウントするためのものであ

データとして使用される画像データD0, D1はそれぞれ16階調レベルをもつことから、補間データSとしては、 $16 \times 16 = 256$ 通りのデータブロックが含まれている。

図は、D0=0, D1=Fであるときの、各ステップにおける直線補間による理論値（小数点5桁）と、実際にメモリされている補間データSの値を、正傾斜と負傾斜の夫々の場合について示す。

実際には、第16図に示すような形で補間データSが記憶されている。ただし、このデータはD0=4, D1=0～Fの場合の例である。

この第16図において、ADRSはベースアドレスであって、D0=4のとき、D1が0からFまでのレベルをとるときの補間選択データSD（横方向に配置された0からFまでのデータ）と、出力される補間データSとの関係を示す。アドレスデータADRSと横軸の補間選択データSDの値を加えたものが補間ROM13に対する実際のアドレスとなる。

さて、補間ROM13より出力された補間データ

る。これらカウンタ20, 21の出力でディザROM22の4値データがアドレス指定される。指定された所定の4値データが2値化回路23に供給されることによって補間データSがこの4値データを参照して2値化される。

従って、2値化回路23はデジタル比較回路が使用される。

4値データは、読み取るべき原稿が捺画である場合には、その濃度に対応した一定4値のデータが使用される。第17図にその一例を示す。図の4値データはヘキサデシマル表示である。

原稿52が写真画のような場合には、ディザ法による2値化が好ましいので、この例ではディザマトリックスが4値データとして使用される。

ディザマトリックスとしては、原稿52の濃度に応じて、この例では3種類のマトリックス（例えば、 $4 \times 4$ のディザマトリックス）が用意され、これらが適宜選択される。

原稿52の濃度が薄いとき、第18図Aに示すディザマトリックスが選択されるときには、普通

の濃度のときには同図Bのマトリックスが、濃いときには、同図Cのマトリックスが夫々選択されることになる。

線画のときに使用する固有データあるいは写真画のときに使用するディザマトリックスは原稿52の濃度に応じてオペレータが手動的に選択してもよいが、自動化した方が便利である。自動化する場合には、原稿52の全体の濃度を検出し、その濃度から最適なディザマトリックスなどがコントロール回路80からの指令に基づいて選択される。

続いて、上述した拡大・縮小回路2における各部の具体例を次に説明する。

第19図は入力バッファ400の一例を示す。

入力バッファ400には一对のラインメモリ401, 402が設けられ、夫々には1ライン分の画像データDが供給される。一对のラインメモリ401, 402を設けたのは1ライン分の画像データを交互に供給して、画像データの書き込み及び読み出しをリアルタイムで処理できるようにす

成されたコントロール信号INSELが利用される。

この場合、一方はインバータ409によって位相反転されて供給される。コントロール信号INSELは2水平周期を1周期とする矩形波信号である(第33図参照)。

ここで、画像拡大時においてもその拡大画像が記録紙Pの中央を基準にして記録されるようにするため、拡大処理時にはその拡大倍率に応じて、書き込み開始タイミングが制御される。そのため、クロックCLK2はゲート回路などで構成されたクロック出力制御回路410を介して第1及び第2のスイッチ403, 404に供給される。

制御回路410には書き込み開始タイミングを制御するためのプリセットデータPoが供給される。

この制御回路410では、クロックCLK2をカウントしてその値がプリセットデータPoに一致したときから、クロックCLK2が出力されるようになされている。これによって入力バッファ400へのデータ書き込み量が制限されるが、そ

るためである。

ラインメモリ401, 402は $4096 \times 4$ ビットの容量をもつものが使用される。この容量は、解像度を16dots/mmとしたときで、しかも最大原稿サイズがB4版(横の長さが256mm)であるときの値である。

ラインメモリへのデータ書き込み時には、書き込みクロックCLK2が使用され、読み出し時には読み出しクロックRDCLKが使用されるので、これらクロックはクロック選択用の第1及び第2のスイッチ403, 404を介して夫々のアドレスカウンタ405, 406に供給される。

読み出しクロックRDCLKは拡大倍率指定時に通常時とは異なる周波数に設定される。どのような周波数に設定するかは指定倍率によって相違する。

第1及び第2のスイッチ403, 404は一方のラインメモリが書き込みモードにあるとき、他方のラインメモリが読み出しモードとなるように相補的に制御される。そのためのスイッチコントロール信号としてはタイミング信号発生回路10で生

の詳細な説明は後述することにする。

ラインメモリ401, 402からの出力は第3のスイッチ407でその何れかが選択されたのちラッチ回路11に供給される。そのスイッチング信号としては上述したコントロール信号INSELが使用されるものである。

第20図は出力バッファ450の一例である。その構成は入力バッファ400とほぼ同一であるが、2進化後の画像データが記憶されるため、ラインメモリ451, 452は、 $4096 \times 1$ ビットのものが使用されている。

また、453, 454, 457は第1～第3のスイッチ、455, 456はアドレスカウンタ、459はインバータである。

スイッチ選択のためのコントロール信号はタイミング信号発生回路10で生成された信号OUTSEL(第33図参照)が使用される。

クロックCLK2は縮小倍率指定時のみ、その周波数が変更される。クロックPCLKは出力装置65の同期クロックである。

アドレスカウンタ455, 456にはその初期アドレスを設定するためのアドレス指定データが供給される。そのため、図示するように、書き込み開始アドレスデータと読み出し開始アドレスデータとが第4及び第5のスイッチ461, 462を介して夫々のカウンタ455, 456に供給される。

この場合、スイッチコントロール信号OUTSELによって書き込み開始アドレスデータと読み出し開始アドレスデータとが1ラインごとに交互に供給されるように制御される。読み出し開始アドレスは常にロアドレスが指定され、書き込み開始アドレスは縮小画像が常に中央を基準にして記録されるようにするため、倍率に応じて自動的に変更される。詳細は後述する。

書き込み開始アドレスデータ及び読み出し開始アドレスデータは、いづれもシステムコントロール回路80より供給される。

ここで、入力バッファ400と出力バッファ450の処理動作を第21図～第23図を参照し

倍率を2倍に設定したときには、同図Aの同期クロックCLK1に対して入力バッファ400に供給される読み出しクロックRDCLKの周波数は1/2に落とされる(同図B)。これによって、入力バッファ400からは同図Cに示す画像データDが読み出され、これが補間ROM13のアドレスデータとして供給される。その結果、同図Dのように同期クロックCLK1の1サイクルに対して1個の補間データSが得られる。この補間データSが出力バッファ450に供給されて一時的に記憶される。

この場合、出力バッファ450に供給される書き込みクロックCLK2の周波数は同期クロックCLK1の周波数と同一である(同図E)。

このように、1倍以上の倍率が選択された場合でも、読み出しクロックRDCLKの周波数を下げることによって拡大処理を行うようにしたから、入力バッファ400に供給するクロックRDCLK以外は、基本クロックのままで処理動作が実行される。

従って、拡大・縮小回路2としては動作速度の

て説明する。

第21図は等倍時の処理動作であって、同図Aの同期クロックCLK1に対して入力バッファ400に供給される読み出しクロックRDCLKの周波数は同期クロックCLK1の周波数と同一である(同図B)。これによって、入力バッファ400からは同図Cに示す画像データDが読み出され、これが補間ROM13のアドレスデータとして供給される。その結果、同図Dのような補間データSが得られる。この補間データSが最終的には、出力バッファ450に供給されて一時的に記憶される。

この場合、出力バッファ450に供給される書き込みクロックCLK2の周波数は同期クロックCLK1の周波数と同一である。

これに対して、第22図は倍率を2倍に設定したときの処理動作である。

1倍以上の倍率を設定したときには、入力バッファ400への読み出しクロックRDCLKのみ、その周波数が設定倍率に応じて変更される。

速い回路素子を使用しないでもよい。

勿論、入力バッファ400でさえも、そのクロック周波数は等倍時のクロック周波数より低いものであるから、全ての回路素子は高速動作のものを使用する必要がない。

縮小時、例えば画像を0.5倍に縮小する場合には、第23図に示すように、入力バッファ400への読み出しクロックRDCLKは同期クロックCLK1と同一である代わりに、出力バッファ450に供給される書き込みクロックCLK2の周波数が1/2に落とされる。これによって補間データSの書き込みタイミングが2サイクルに1回となるので、余分な画像データが間引かれて出力バッファ450に記憶されることになる。

なお、拡大・縮小処理動作の詳細は後述することにする。

さて、第14図に示した補間データ選択手段300はデータ選択信号の寄込み回路310と、データ選択メモリ320とで構成される。データ選択信号の寄込み回路310には、倍率により定

まる補間選択データSDと倍率に応じたタイミングでこの補間選択データSDが出力されるような制御を行なうための処理タイミング信号TDとがロックごとに格納されている。

補間選択データSDはその容量が多いことから、その書き込み回路310は大容量のROMが使用される。この場合、専用のROMを使用することもできるが、システムコントロール回路80に具備された制御プログラム用のROMを使用してもよい。

データ選択メモリ320は補間選択データの書き込み回路310に格納された補間選択データSD、処理タイミング信号TDのうち、倍率指定に応じたデータSD及びTDを書き込むために使用される。従って、実際の画像処理時における補間選択データSDはこのデータ選択メモリ320に書き込まれた補間選択データが使用される。

このようなことから、データ選択メモリ320としては、高速で書き込み及び読み出しすることができるステックRAMなどが使用される。

第24図は書き込み回路310の一例を示す。

同図において、311はデータROMであり、これには第35図、第37図に示すような補間選択データSDと処理タイミング信号TDが格納されている。

ここで、画像読み取りに先立って、書き込み回路310に格納された補間選択データSDなどは、外部より倍率が指定された後においてデータセットパルス(倍率セットパルス)DS(第25図A)に基づきデータROM311のデータがデータ選択メモリ320に転送される。

データセットパルスDSは第24図に示すコントロール回路313に供給されて、第25図Cに示す書き込みイネーブル用のコントロール信号ESが生成される。

コントロール信号ESはカウンタ314に供給されて、これに供給される発振回路315からのクロックSETCLKのカウント状態が制御される(第25図D、E)。コントロール信号ESが"0"の期間はカウンタ314によるアドレスA0~A7

倍率指定データと倍率セットパルスDSとは矢々書き込み回路310に供給される。

一方、データ選択メモリ320への補間選択データSD、処理タイミング信号TDの書き込み時は、書き込み回路310側のクロックSETCLKが利用される。そのため、第14図に示すように、データ選択メモリ320側にはクロック選択回路350が設けられて、同期クロックCLK2と書き込み回路310からの書き込みクロックSETCLKとが選択される。

選択されたクロックはカウンタ360でカウントされ、その出力がアドレスデータとしてデータ選択メモリ320における12ビットのアドレス端子A0~A11に供給される。

ここで、カウンタ360では、4096クロック(従って、4096画素分のデータ)をカウントしたときにキャリーパルスが発生するよう構成される。

キャリーパルスは転送終了信号(書き込み終了信号)CSとして使用される(第25図B)。

及び指定倍率によるアドレスA8~A15に対応する補間選択データSDと、処理タイミング信号TDがロック単位(第35図及び第37図一点鎖線領域)で繰り返して、1ラインに相当する4096個のデータがデータ選択メモリ320に書き込まれる。

ここで、第25図F、Hに示すように倍率が160%であるときには、160クロック(160画素分のデータ)、倍率が80%であるときには、100クロック(100画素分のデータ)が繰り返されることになる。

また、データROM311は、アクセスタイムが遅いので、通常の読み取り速度より低い周波数のクロックで読み出される。その書き込みタイミングはデータ転送クロックSETCLKに同期している。

なお、バッファ回路316は画像読み取り状態において、データROM311からの信号がデータ選択メモリ320及び後述する同期回路370側に悪影響を及ぼさないようにするために設けられたものであり、コントロール信号ESが"0"

の期間のみ能動状態となる。

コントロール信号 E S は、またデータ選択メモリ 320 に対する書き込み用のイネーブル信号としても利用される（第 14 図参照）。

データ選択メモリ 320 へのデータ（4096 個のデータ）の書き込みが終了すると、カウンタ 360 からの転送終了信号 C S が出力され、これによってデータ書き込み期間が終了する（第 25 図参照）。

その後、通常の画像処理モードとなりデータ選択メモリ 320 から補間選択データ SD と処理タイミング信号 T D とが読み出されて、後段の同期回路 370 に供給される。

カウンタ 314 はクリヤ信号 C L R (同図 F) によってクリヤされるが、このクリヤタイミングは倍率によって相違する。

なお、縮小倍率のときには第 25 図 G, H に示すようになる。同図 G, H は、倍率が 80% のときのカウンタ 314 のアドレスデータと、これに供給されるクリヤ信号 C L R との関係を示す。

一方、複数のアンドゲート 381～384 にはラッチされた処理タイミング信号 T D が供給される。そして、アンドゲート 381 の出力が入力バッファ 400 の読み出しクロック RDCLK として供給されると共に、アンドゲート 382 の出力がラッチ回路 11, 12 のラッチクロック DLCK として供給される。

同様に、アンドゲート 384 の出力が入力バッファ 450 の書き込みクロック LCK2 として供給されると共に、アンドゲート 383 の出力がラッチ回路 14 のラッチクロック LCK1 として供給される。

ここで、処理タイミング信号 T D が "1" のときアンドゲート 381～384 は開となり、"0" のとき閉となる。

同期回路 370 をこのように構成すると、指定倍率に応じた周波数をもつ読み出し及び書き込みクロックを生成することができる。その具体例を次に説明する。

第 27 図は 160% の倍率に選定したときのタ

処理タイミング信号 T D は、上述のように補間データ SD が存在するときには "1"、存在しないとき及びデータを間引くときには "0" のように選定されている。

第 26 図は第 14 図における同期回路 370 の一例を示す。

同期回路 370 は図示するように、複数のラッチ回路 371～375 と複数のアンドゲート 381～384 とで構成され、補間選択データ SD はラッチ回路 371, 372 及び 375 で順次ラッチされる。

一方、処理タイミング信号 T D のうちビット 1 のデータはラッチ回路 371～374 で順次ラッチされる。これに対し、ビット 0 のデータはラッチ回路 371 と 372 とでラッチされる。

ラッチ回路 371～374 には同期クロック C L K2 が、残りのラッチ回路 375 及びアンドゲート 381～384 には位相反転された同期クロック C L K2 がラッチクロックとして供給される。

タイミングチャートを示す。

まず、データ選択メモリ 320 から出力されるデータは第 29 図に示すように、全データのうちの 4 ビットは補間選択データ SD であり、残り 4 ビットのうち、ビット 0 は入力バッファ 400 に対する読み出しクロック RDCLK 及びラッチ回路 11, 12 に対するラッチクロック DLCK 用のデータとして使用される。

また、ビット 1 は出力バッファ 450 への書き込みクロック LCK1 とラッチ回路 14 に対するラッチクロック LCK2 として使用される。ビット 2 はデータ ROM 311 への振り返し信号とカウンタ 314 に対するクリヤ信号 C L R として使用される。ビット 3 は、この例では未使用ビットとなっている。

さて、倍率が 160% であるときには、データ選択メモリ 320 から第 27 図 B に示す補間選択データ SD が出力され、処理タイミング信号 T D のビット 0 及びビット 1 としては同図 D, E に示すデータが供給される。

同図B、Cは共に補間選択データSDを示すが、同図Bはラッチ回路371でラッチする前のタイミングを、同図Cはラッチ後のタイミングを示す。

従って、次段のラッチ回路372からは同図F～Hに示すように夫々が1サイクルだけ遅延された状態で出力される。補間選択データSDはさらにラッチ回路375でラッチ処理されるので、さらに1サイクル分だけ遅れるから、同図Iのようになる。この同図Iに示す補間選択データSDが補間ROM13にアドレスデータとして供給される。

アンドゲート381、382には同図D、Gに示されるビット0の処理タイミング信号TDが供給されるので、これらと逆相の同期クロックCLK2とのアンドをとれば、同図J及びKに示す読み出しクロックRDCLK及びラッチクロックDLCKが得られる。

また、ラッチ回路373、374ではビット1の処理タイミング信号TDがラッチされるものであるから(同図L、M)、アンドゲート383、384からは同図N、Oに示すようなクロック

クロックCLK1が得られることになる。そして、他方のアンドゲート384からは同図Oに示す書き込みクロックCLK2が得られる。

このように、画像縮小時は出力バッファ450に対する書き込みクロックの周波数のみその設定倍率に応じて変更されることになる。

さて、冒頭でも述べたように拡大・縮小処理された画像を記録紙Pの中心線1を基準にして記録するには、入力バッファ400の書き込み開始タイミングあるいは出力バッファ450の読み出し開始タイミングを制御すればよい。その理由を次に説明する。

上述したように、CCD56、57の最大画像読み取りサイズがB4判で、その解像度が16dots/mmであるものとした場合、1ライン分のメモリ容量は4096ビットとなる。従って、ラインメモリ401、402及び451、452としては、4096ビットの容量があればよい。

等倍時は4096ビットの容量のラインデータがそのまま出力バッファ450側に供給されたの

LCK1、LCK2が出力される。これらのクロックLCK1、LCK2は互いに逆相のクロックであるが、その周波数は同期クロックCLK1と同一である。

このように、拡大倍率が選択されたときには、入力バッファ400に供給される読み出しクロックRDCLKのみその周波数が変更されるものである。

第28図は80%に縮小するときのタイミングチャートである。

この場合には、データ選択メモリ320から同図Bに示す補間選択データSDが出力され、処理タイミング信号TDのビット0及びビット1としては同図D、Eに示すデータが出力される。

入力バッファ400に供給される読み出しクロックRDCLK及びラッチ回路11、12へのラッチクロックRDCKは同図J、Kのようになる。すなわち、これらの周波数は変化がない。

これに対して、ラッチ回路373、374からは同図L、Mに示すラッチクロックが出力されるので、アンドゲート383から同図Nに示すラッ

ち、出力装置65に供給されることになる。

これに対して、画像拡大時は入力バッファ400の画像データ量がその倍率に応じて増加し、増加した画像データが出力バッファ450に供給されることになるから、そのままでは画像データがオーバフローして、必要とする画像データを漏れなく出力バッファ450に格納することができないばかりか、中央を基準にして画像を記録することができない。

原画像を2倍に拡大すると、補間処理によって画像データ量は原画像データの2倍となる。そのため、入力バッファ400に書き込むデータ量を予め1/2に制限する。

一方、画像データのうち2048ビット目はB4判における有効水平ライン(有効長)の容量(4096ビット)の1/2に当り、これは丁度記録画像の中心1に対応する。

このようなことから、入力画像データのうち1024ビット目から3072ビット目までの合計2048ビットを、第30図Aに示すように、

入力バッファ400の0アドレスから順次書き込むようにすれば、これを補間処理してそのデータ量を2倍に増やしても、その全ての画像データを出力バッファ450に書き込むことができる（同図B）。

この場合、補間処理後の画像データは第30図Bに示すように、画像の中心1を中心として拡大処理されたデータであるので、必要とする画像の一部が欠如して記録されるようなことはない。

このようなことから、拡大時は入力バッファ400の書き込み開始アドレスを設定倍率に応じて制御すれば、第31図Bに示すように、画像の中心を中心として記録紙P上に記録することができる。

従って、拡大時のプリセットデータPoは、次のように設定されるものである。

プリセットデータPo

$$= (4096 \times \text{拡大倍率} - 4096) / 2$$

なお、第31図Cは等倍時の記録例を示す。

縮小処理時は第30図Cに示すように、入力バッ

の中心1を中心として縮小画像が記録されることになる。読み出し開始アドレスはプリセットデータPoによって設定される。

従って、出力バッファ450の書き込み開始アドレスは、

書き込み開始アドレス

$$= (4096 - 4096 \times \text{縮小倍率}) / 2$$

のように設定されるものである。

このようなことから、拡大・縮小倍率に応じて、入力バッファ400の書き込み開始タイミング（プリセットデータPo）及び出力バッファ450の書き込み開始アドレスを適宜設定すれば、1ライン分の容量をもつラインメモリを使用しても中央基準の記録処理を実現することができる。第32図に書き込み開始アドレスデータとプリセットデータPoの設定例を示す。

第33図に上述した処理動作の一例を示す。

同図D～Gに示すように、プリセットデータPo及び書き込み開始アドレスはいづれも、水平同期信号H-SYNCに同期してセットされる。

ファ400へのデータ書き込み及び読み出しは等倍時と同様であって、0アドレスから書き込み、0アドレスから読み出される。

そして、0.5倍に画像を縮小した場合には、補間処理によって1ライン分の画像データは1/2に減少され、この画像データが出力バッファ450に書き込まれる。

ここで、読み出された画像データをそのまま出力バッファ450に書き込んでしまうと、同図Eに示すように出力バッファ450の0アドレスから画像データが書き込まれ、かつこの0アドレスからの画像データで記録紙Pの片側から順次記録されることになるから、画像は第48図Aに示すようにしか記録されないことになる。

これを避けるには、書き込み開始アドレスを1024アドレス目に設定すればよい（同図D）。

そして、読み出し開始アドレスを0アドレスに設定すると、1024ピット目までは空のデータ（白に相当する）で記録されていることになるから、記録画像は第31図Aに示すように記録紙P

入力バッファ400に対する書き込み及び読み出しタイミングを同図D、Eに示す。同様に、出力バッファ450に対する書き込み及び読み出しタイミングを同図F、Gに示す。

コントロール信号INSEL、OUTSELは、上述したように、2水平周期を1周期とする矩形波信号である。

さて、第34図に、画像拡大時に使用する各サンプリング位置と補間選択データSDとの関係を示す。例示のデータは拡大率Mを160%とした場合であり、1%の間隔で倍率を設定することができる。

拡大率が160%である場合にはサンプリング間隔は100/160 (=0.62500) となるので、オリジナルデータ位置に対するサンプリング位置（理論値）と、そのときに参照される補間選択データSDとの関係は図示するような関係になる。

オリジナルデータ位置「0」での補間選択データSDにおいて、前者のデータ（0）は、サンプリング位置が（0.00000）のときの補間選択データ

タSDであり、後者のデータ(A)は、サンプリング位置が(0.02500)のときの補間選択データSDである。

なお、オリジナルデータ位置が2, 4, 7, 9などのところでは、後者の補間選択データSDの値が存在しない。これはその周期期間では、拡大によるデータ増加はなく1個のデータしか存在しないことを示している。

これらのデータは実際には第35図に示すような状態でデータROM311に格納されている。第35図において、ベースアドレスADRS(縦軸)とステップ数(横軸)によって参照されるデータは、その左側が補間選択データSD、その右側のデータは入力バッファ400、出力バッファ450のクロックコントロール信号及びカウンタ314へのクリヤ信号CLR(処理タイミング信号TD)を示す。

データROM311のピット構成は第33図に示すようになっているので、

読み出しクロックRDCLK、ラッチクロックDLCK

タは縮小率Mを80%とした場合である。図中、\*印は間引きデータ(無効データ)を示す。実際には、第37図に示すような状態でメモリに格納されている。\*印に相当するデータにおいてのみピット1="0"となる。図では、"05"として示してある。

次に、上述した拡大・縮小処理動作について、まず拡大処理動作から第38図以下を参照して詳細に説明する。説明の便宜上、拡大率Mは160%とする。

第38図はオリジナルデータと補間後のデータとの関係をアナログ的に図示したものであって、Dはオリジナルデータを示し、Sは補間後の変換データ(補間データ)を示す。

このときの画像情報レベルと補間後のデータとの関係は第35図に示した通りである。また、このときの補間時におけるサンプリングピッチと補間選択データSDとの関係は第34図に示した通りである。

この補間処理時の各部における信号のタイミング

を出力させるとときは、

ピット0="1"

であり、

書き込みクロックLCK2、ラッチクロックLCK1を出力させるとときは、

ピット1="1"

であり、また

繰り返し周期のデータ位置では、

ピット2="0"

とすればよい。

つまり、補間選択データSDで前のサイクルに相当するピット0を"1"、後のサイクルは"0"とすればよい。

また、ピット1は常に"1"とする。従って、

$\times \times \times \times 0111 = \times 7$

$\times \times \times \times 0110 = \times 6$

$\times \times \times \times 0011 = \times 3$

となる。

第36図は画像縮小時に使用する補間選択データSDのデータテーブルの一部を示す。例示レーダ

グチャートは第39図に示すようになる。

CCD56, 57から得られるオリジナル画像データを、D0(0), D1(F), D2(F), D3(0), D4(0)(カッコ内は各画像データの階調レベルを示す)とする。

入力バッファ400に読み出しクロックRDCLKが供給されると、アクセスタイムt1後に画像データDが出力され(第39図A, B)、これがラッチクロックDLCKでラッチされる(同図C)。ラッチクロックに同期してラッチ回路11からD1(F)が出力されたときには、ラッチ回路12からはD0(0)が出力される(同図D, E)。

なお、ラッチパルスDLCKは同期クロックCLCK1より1サイクルだけ遅れている。

一方、外部で設定した倍率倍号によって、第37図に示すデータテーブルが参照される。補間選択データSDとして0:A:4:E:... (第39図F)が出力される。

その結果、補間ROM13からは、画像データD0, D1と、補間選択データSDによって、補

間データテーブルが参照されて、必要な補間データS(同図G)が出力される。従って、補間データSは、

$0(S_0), 9(S_1), F(S_2), F(S_3),$   
 $8(S_4), 0(S_5), \dots$

となる。

読み出された補間データSはラッチ回路14に順次送出される(同図H, I)。2値化された補間データSは書き込みクロックLCK2によって出力バッファ450に書き込まれる(同図J, K)。

なお、第39図において、t2は補間ROM13のアクセスタイム、t3は2値化手段69のアクセスタイムである。

次に、縮小処理について説明する。

第40図は縮小率を80%に選定した場合における画像信号をアナログ的に図示したものであって、画像データD0, D1, D2, D3, ……は○印で、補間データS0, S1, ……は×印で表わしてある。第41図はそのときの信号のタイミング

となるため、ラッチ出力は同図Hのようになる。ここで、書き込みクロックLCK2もラッチパルスLCK1と同一周波数であるから、出力バッファ450には同図Iに示すようなデータが書き込まれることになる。

上述の実施例において、拡大、縮小の倍率を変更すれば、補間データ用の選択メモリ320から出力される補間選択データSDが変り、補間ROM13がそれに応じてアドレスされて対応する補間データSが出力されることは明らかであろう。

ところで、上述では原稿の中央を基準にして画像を読み取り、記録紙の中央を基準にして画像が記録されるような画像処理装置に適用したが、この発明はこれ以外の画像処理装置にも適用することができる。

第1に、画像読み取りも、画像記録もともに原稿(記録紙)の片面を基準にして処理されるものであるときは、CCD56、57の画像読み取り開始位置と、記録開始位置(光走査の開始位置、レーザープリンタでは、レーザービームの記録ビーム

チャートを示し、そのときに使用されるオリジナル画像データDと補間データSとの関係は第37図に、補間選択データSDの関係は第36図に示した通りである。

画像データの階調レベルは上述した拡大処理の場合と同じとする。

そして、ラッチ回路11, 12から接続する2つの画像データ(例えば、画像データD1, D0)がアドレス信号として補間ROM13に供給され、外部で設定した縮小用の倍率(80%)がデータ選択信号書き込み回路310に供給されることも、上述した拡大処理の場合と同じである。

縮小処理の場合には、読み出しクロックRDCLKもラッチパルスDLCKも、同期クロックCLK1と同一周波数であり、また補間選択データSDとしては、第36図に示すようなデータが選択されるものであるから、入力バッファ400から補間ROM13までの信号の関係は第41図A～Fのようになる。

これに対して、ラッチパルスLCK1は同図G

ム開始位置)とが同じであるので、問題なくこの発明を適用できる。

第2に、画像読み取りが原稿の中央線を基準にして行なわれ、画像記録は記録紙の片面を基準にして処理されるタイプの画像処理装置では、入力バッファ400の読み出し開始アドレスは次のようになる。

この場合、出力バッファ450のプリセットデータPoは常に0である。これに対して、読み出し開始アドレスは倍率信号だけでは決定することができない。原稿のサイズによって相違する。

そのため、この種画像処理装置においては、原稿サイズを示す指定倍率から読み出し開始アドレスが決定される。

第42図に示すように、読み取るべき原稿52のサイズがA4判であるときを以下に示す。

上述のように、16dots/mmであるときには、A4判の横幅のピット数は、

$$210\text{mm} \times 16\text{dots/mm} = 3360\text{ピット}$$

であるから、最大読み取り原稿サイズがB4判で

## 特開昭63-95776 (18)

あると、第42図の幅Yに対して倍率を乗じた値が、入力バッファ400に対する読み出し開始アドレスとなる。

従って、読み出し開始アドレスは、

$$(4096 - 3360) / 2 = 308 \text{ ピット}$$

となる。

任意の倍率における書き込み開始アドレス及びプリセットデータPoの各位を第44図に示す。

ただし、原稿サイズはA4判の場合である。このように書き込み開始アドレス及びプリセットデータPoが倍率に拘らず一定であるのは、片側を基準にして画像が記録されるからである。

第3に、画像読み取りが第43図に示すように、片側を基準にして行なわれ、画像記録は記録紙の中央線1を基準にして処理されるタイプの画像処理装置では、入力バッファ400のプリセットデータPo及び出力バッファ450の書き込み開始アドレスは以下のように定められる。

すなわち、 $4096 > 3360 \times \text{倍率}$ の場合には、書き込み開始アドレスが設定され、その逆

以上説明したように、この発明では出力バッファに設けられたラインメモリへの書き込みアドレスの開始を倍率に応じて制御するようにしたから、拡大・縮小が読み取り側の中央を基準にして行なわれたのと同様の効果が得られると共に、記録に対しても記録紙の中央を基準として記録されることになる。

その結果、縮小処理の場合でも、縮小画像が横って記録されたり、記録紙の転写領域外に画像が記録されたりするおそれがない。同様に、拡大画像が横って記録されたり、不必要な余白部分まで拡大記録されたりするおそれがないから、必要とする画像を正しく記録することができる特徴を有する。

さらに、この発明では、データテーブルを参照しながら、補間データを得るようにしているので、従来方法に比べて画質がよく、しかも高速処理が可能となるなど、特筆すべき効果を有する。

### 4. 図面の簡単な説明

においては、プリセットデータPoが設定される。

従って、 $4096 > 3360 \times \text{倍率}$ のとき、書き込み開始アドレスは、

書き込み開始アドレス

$$= (4096 - 3360 \times \text{倍率}) / 2$$

このとき、入力バッファ400のプリセットデータPoは0に設定される。

これに対して、 $4096 < 3360 \times \text{倍率}$ のとき、プリセットデータPoは、

プリセットデータPo

$$= (3360 - 4096 / \text{倍率}) / 2$$

である。このときの出力バッファ450の書き込み開始アドレスは0となる。

その結果、任意の倍率における読み出し開始アドレス及びプリセットデータPoは第45図に示すような値となる。

このように、書き込み開始アドレスあるいはプリセットデータPoは原稿の読み取りあるいは書き込み基準に応じて変更することもできる。

### 【発明の効果】

第1図はこの発明による拡大・縮小可能な画像処理装置の概要を示す系統図、第2図は画像読み取り装置の一例を示す系統図、第3図はその動作説明に供する波形図、第4図はシェーディング補正の説明図、第5図はシェーディング補正回路の一例を示す系統図、第6図及び第7図は色分離の説明に供する図、第8図は色分離マップの一例を示す図、第9図は色分離回路の一例を示す系統図、第10図は色選択回路の一例を示す系統図、第11図及び第12図は画像形成処理プロセスの説明に供する波形図、第13図は簡易形の電子写真式カラー複写機の一例を示す構成図、第14図は拡大・縮小回路の一例を示す系統図、第15図及び第16図は画像データ、補間選択データSD、補間データSとの関係を示す図、第17図は縦画用に使用する閾値データの一例を示す図、第18図は写真画用に使用する閾値データマトリックスの一例を示す図、第19図は入力バッファの一例を示す系統図、第20図は出力バッファの一例を示す系統図、第21図～第23図はその動作説明に供

特開昭63-95776(18)

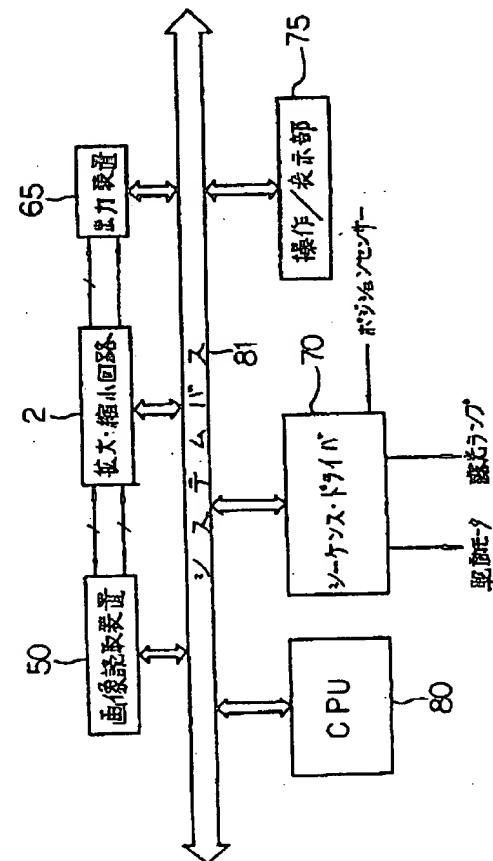
する波形図、第24図はデータ選択信号書き込み回路の一例を示す系統図、第25図はその動作説明に供する波形図、第26図は同期回路の一例を示す系統図、第27図及び第28図は夫々その動作説明に供する波形図、第29図はデータROMの構成図、第30図は拡大・縮小時における中央基準の記録説明に供する線図、第31図は中央基準の記録例を示す図、第32図は中央基準の記録を行なうときの書き込み開始アドレスのデータの一例を示す図、第33図はそのときの処理動作の説明に供する波形図、第34図及び第35図は画像拡大時におけるサンプリング位置と補間選択データとの具体的な数値例を示す図、第36図及び第37図は画像縮小時におけるサンプリング位置と補間選択データとの具体的な数値例を示す図、第38図は画像拡大の説明に供する画像信号の図、第39図はそのときの動作説明に供する波形図、第40図は画像縮小時の説明に供する画像信号の図、第41図はそのときの動作説明に供する波形図、第42図及び第43図は画像読み取り及び画

像記録の他の例を示す図、第44図及び第45図はそのときに使用する書き込み開始アドレスとブリセットデータの関係を示す図、第46図は従来の拡大・縮小可能な画像処理装置の要部の一例を示す系統図、第47図はその動作説明に供する波形図、第48図は画像読み取り系の説明図、第49図は画像記録状態を示す図である。

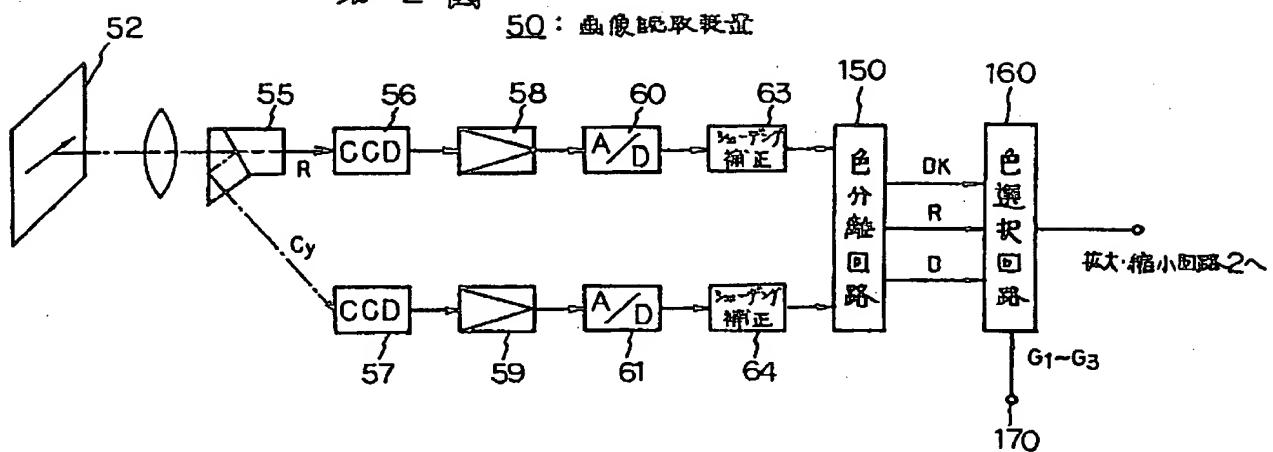
- 2 . . . 拡大・縮小回路
- 50 . . . 画像読み取り装置
- 65 . . . 出力装置
- 69 . . . 2進化手段
- 70 . . . シーケンス制御回路
- 75 . . . 操作・表示部
- 80 . . . システムコントロール回路  
(CPU)
- 300 . . . 補間データ選択手段
- 310 . . . データ選択信号書き込み回路
- 320 . . . データ選択メモリ
- 400 . . . 入力バッファ

- 450 . . . 出力バッファ
- 401, 402, 451, 452 . . . ラインメモリ
- D . . . 画像データ
- S . . . 補間データ
- SD . . . 補間選択データ
- TD . . . 処理タイミング信号

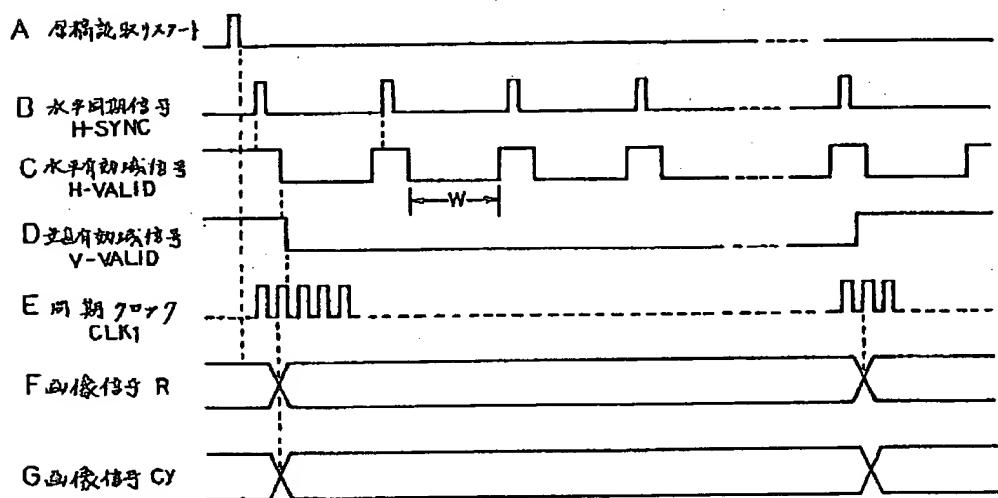
第1 図



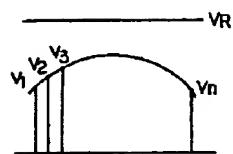
第 2 図



第 3 図

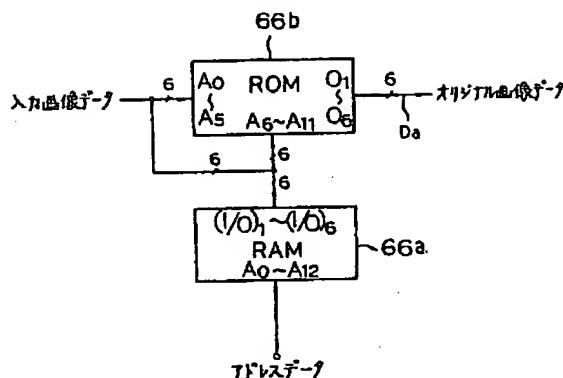


第 4 圖

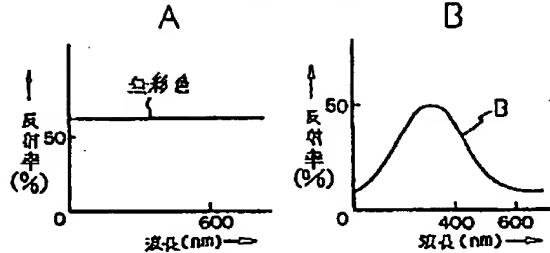


### 第 5 圖

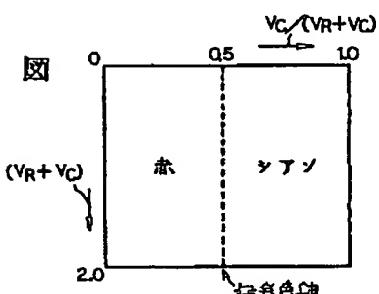
### 63: シューティング練習日記



第 6 圖



### 第 7 図



第 8 四

黑(BK)

$$\rightarrow \underline{\text{VC}} / (\underline{\text{VR}} + \underline{\text{VC}})$$

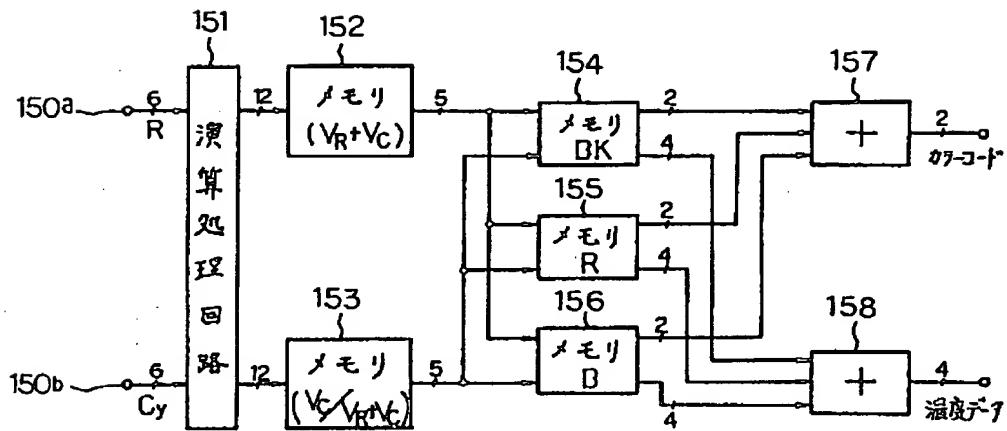
卷(R)→

VP + VG

三

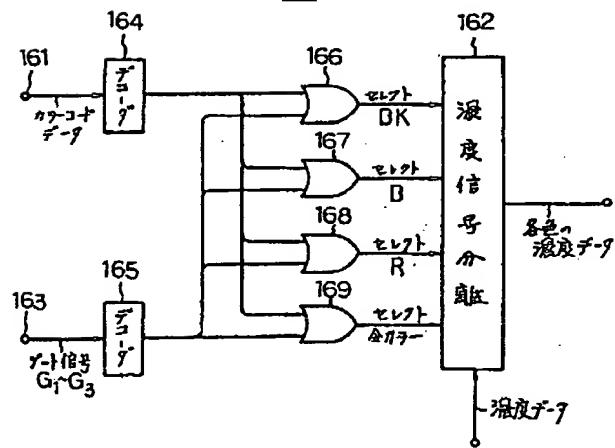
第 9 図

## 150：色分離回路



第 10 図

## 160：色選択回路

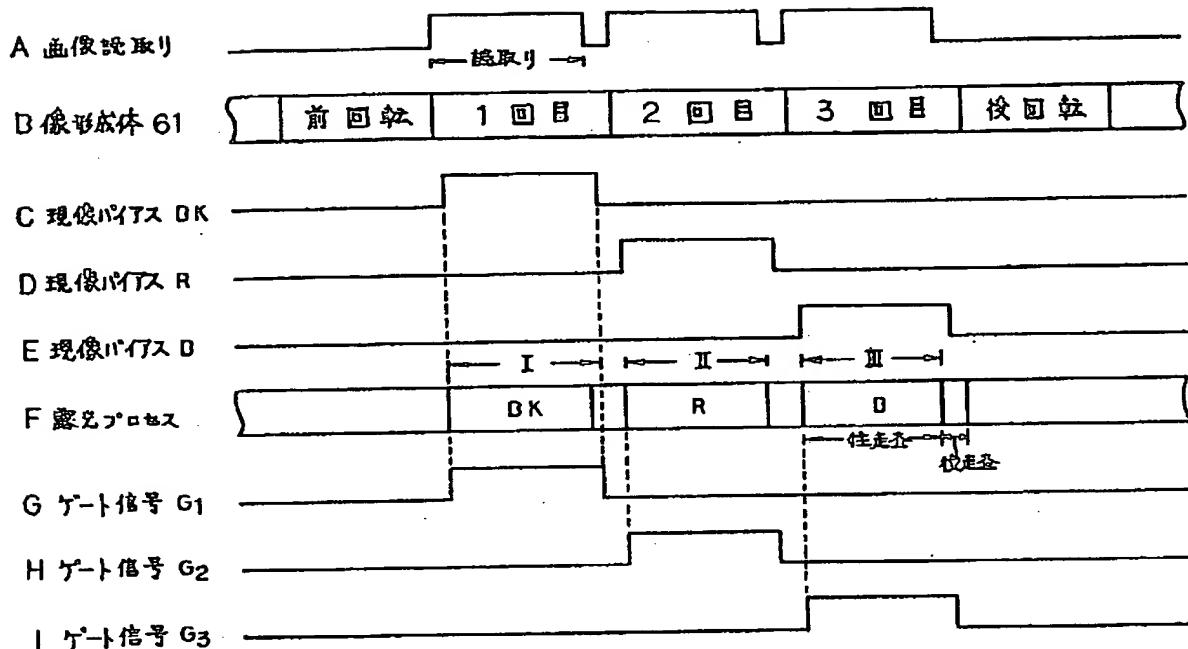


第 15 図

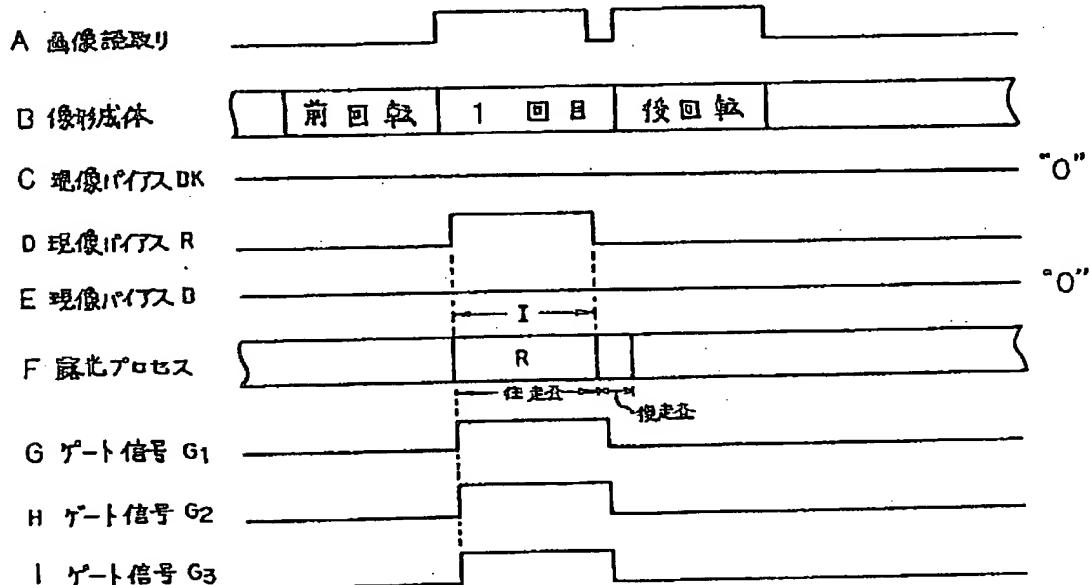
正規値	(負規値)
OF0 0.00000	F00 15.00000
OF1 0.93750	F01 14.08250
OF2 1.87500	F02 13.12500
OF3 2.81250	F03 12.18750
OF4 3.75000	F04 11.25000
OF5 4.68750	F05 10.31250
OF6 5.62500	F06 9.37500
OF7 6.56250	F07 8.43750
OF8 7.50000	F08 7.50000
OF9 8.43750	F09 6.56250
OF10 9.37500	F10 5.62500
OF11 10.31250	F11 4.68750
OF12 11.25000	F12 3.75000
OF13 12.18750	F13 2.81250
OF14 13.12500	F14 1.87500
OF15 14.08250	F15 0.93750

画役データ D0 画役データ D1 祖間データ S  
補間直次データ SD

第 11 図

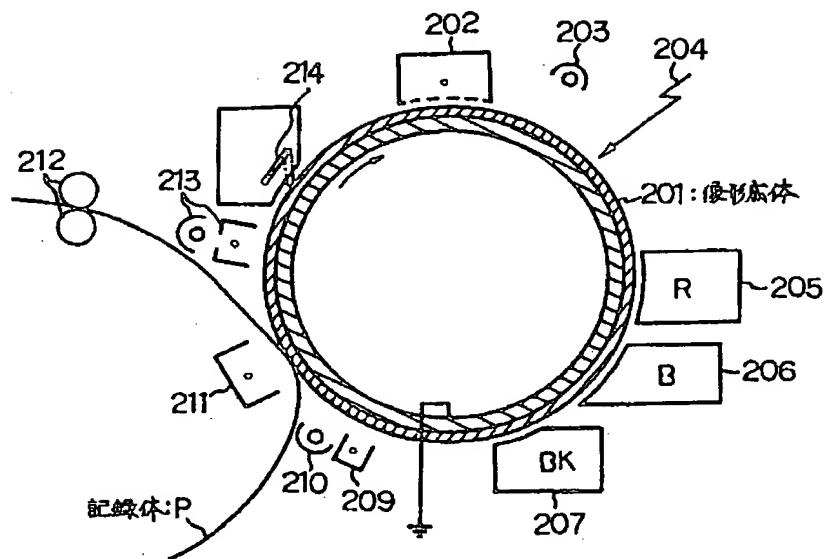


第 12 図



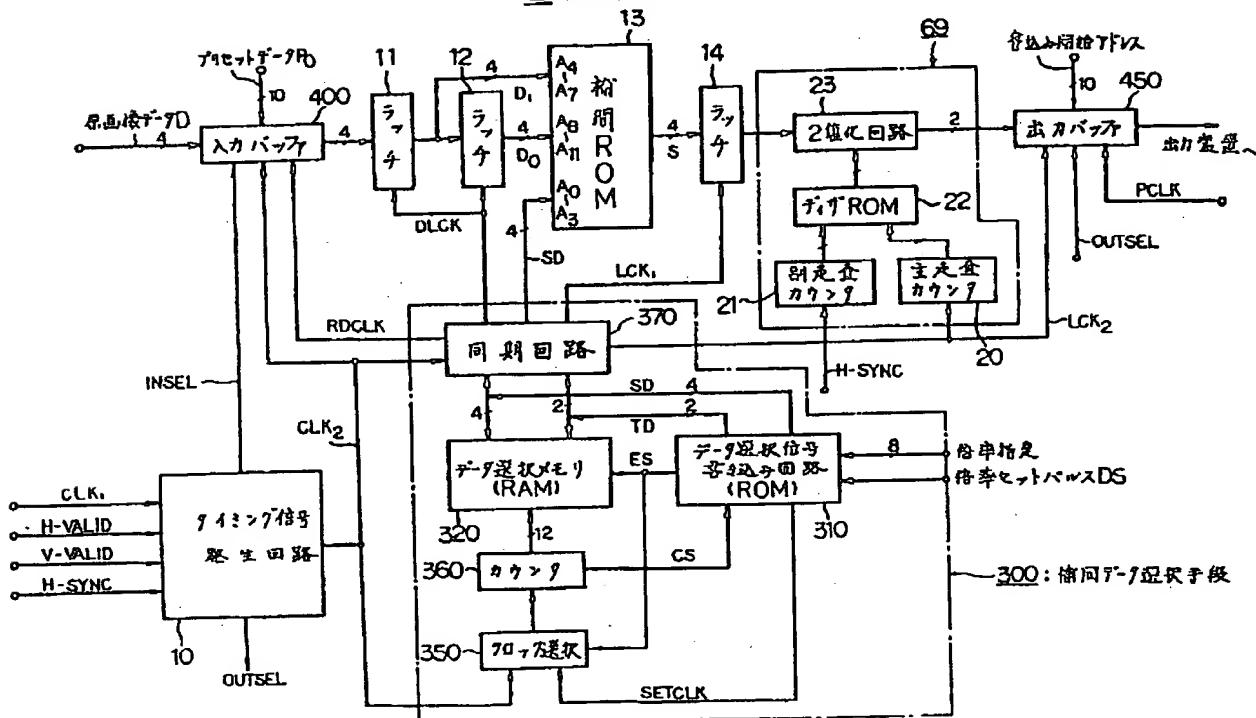
第13図

200: カラー複写機



第14図

2: 大・細小回路



300: 機関ア-7選択手段

第16図

ADR\$	補間選択データ S D															→ステップ数
	+0	+1	+2	+3	+4	+5	+6	+7	+8	+9	+A	+B	+C	+D	+E	+F
400	4	4	4	3	3	3	3	2	2	2	1	1	1	1	1	0
410	4	4	4	3	3	3	3	3	2	2	2	2	2	2	2	1
420	4	4	4	4	4	3	3	3	3	3	3	3	3	3	3	2
430	4	4	4	4	4	4	4	4	4	3	3	3	3	3	3	3
440	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4
450	4	4	4	4	4	4	4	4	5	5	5	5	5	5	5	5
460	4	4	4	4	5	5	5	5	5	5	5	5	5	6	6	6
470	4	4	4	5	5	5	5	6	6	6	6	6	6	6	7	7
480	4	4	5	5	5	5	6	6	6	6	7	7	7	7	8	8
490	4	4	5	5	5	6	6	6	7	7	7	8	8	9	9	A
4A0	4	4	5	5	5	6	7	7	7	7	8	8	9	9	A	B
4B0	4	4	5	5	5	6	7	7	8	8	8	9	9	A	B	C
4C0	4	5	5	5	5	7	7	7	8	8	9	9	A	B	C	D
4D0	4	5	5	5	5	7	7	7	8	8	9	9	A	B	C	E
4E0	4	5	5	5	7	7	7	8	8	9	A	A	B	C	D	E
4F0	4	5	5	5	7	7	8	9	A	A	B	C	C	D	E	

補間データ S  
画像データ D0  
画像データ D1

補間メモリ 13 の内容

第17図

濃度	固値データ
淡い	2 H
↓	5 H
普通	8 H
↓	B H
濃い	E H

第18図

(A)

D	5	C	3
1	9	0	7
A	2	B	4
0	6	1	8

(B)

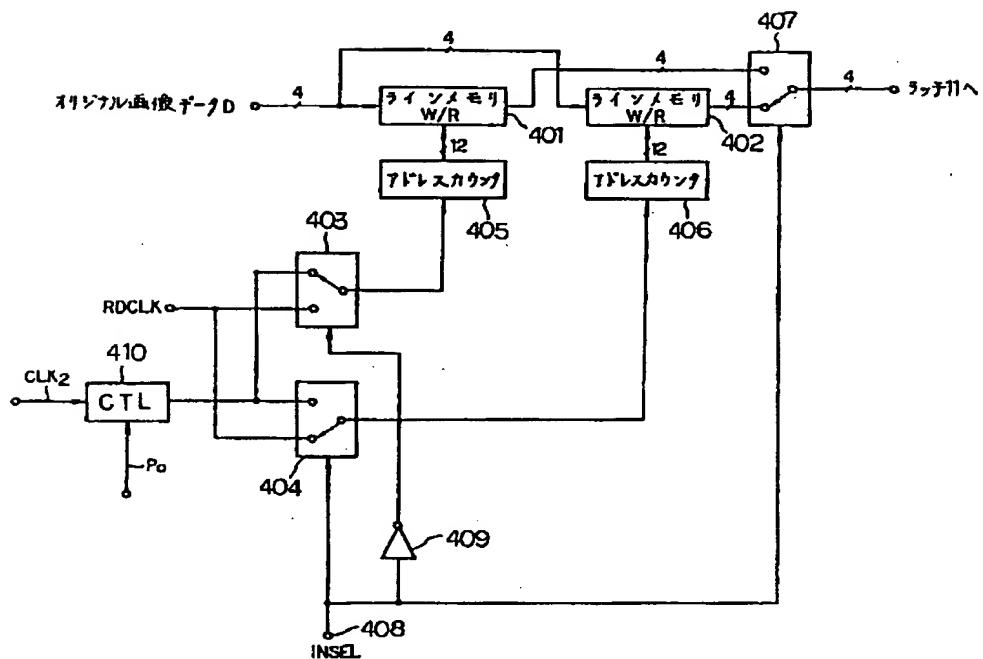
F	7	D	5
3	B	1	9
C	4	E	6
0	8	2	A

(C)

F	9	E	7
5	D	3	B
E	6	F	8
Z	A	4	C

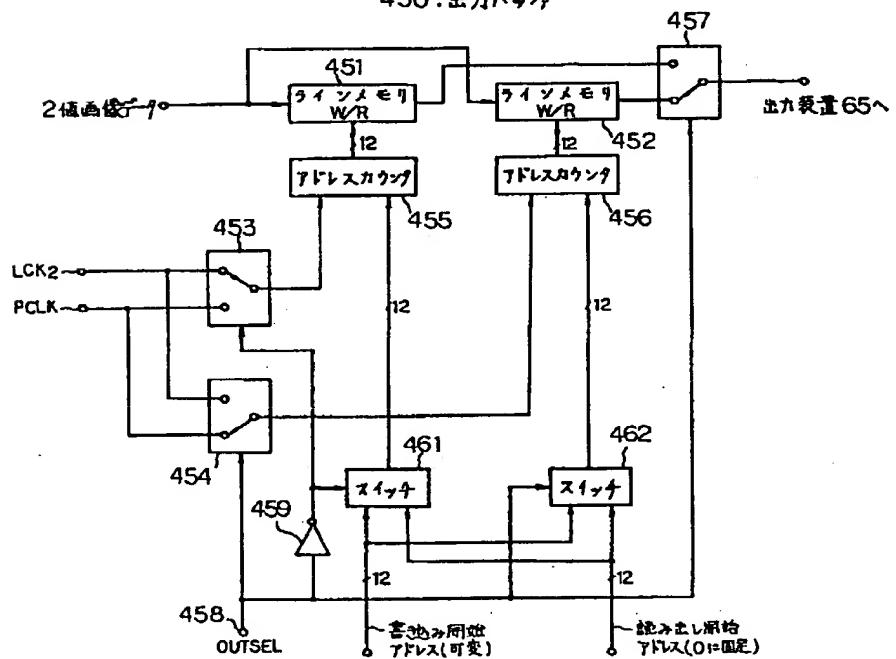
第 19 図

40Q: 入力パッファ

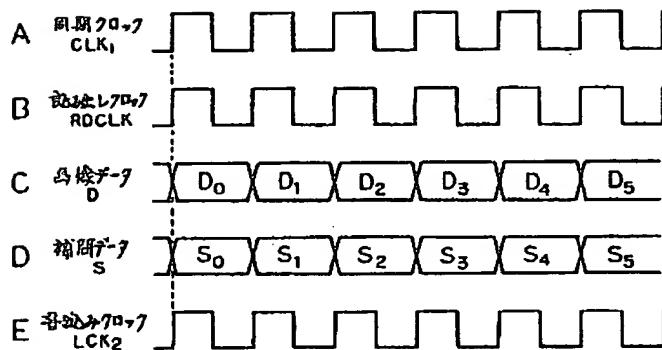


第 20 図

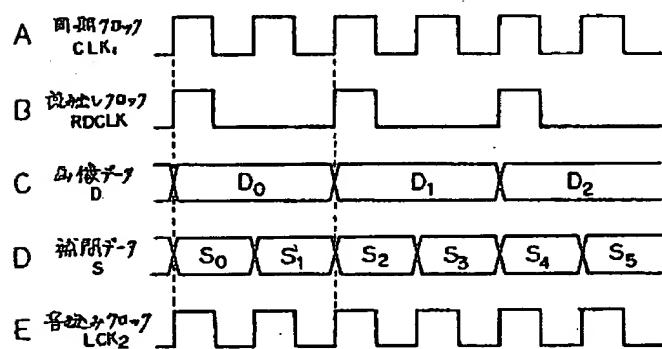
450: 出力パッファ



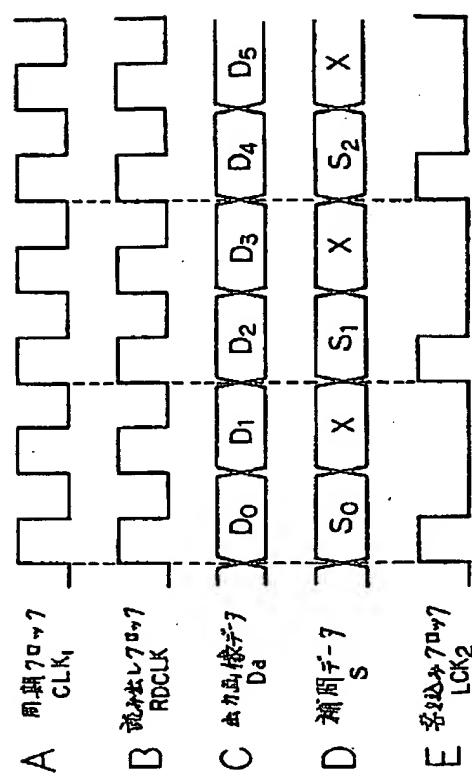
第 21 図



第 22 図

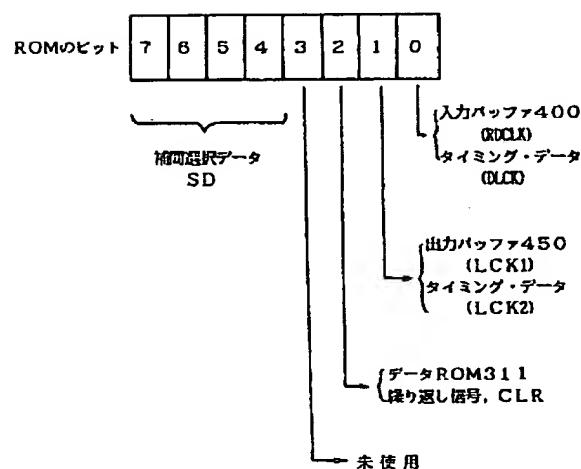


第 23 図



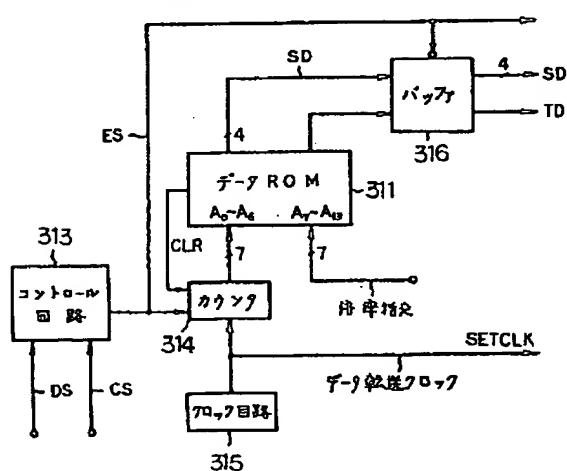
第 29 図

データ ROM311 の構成

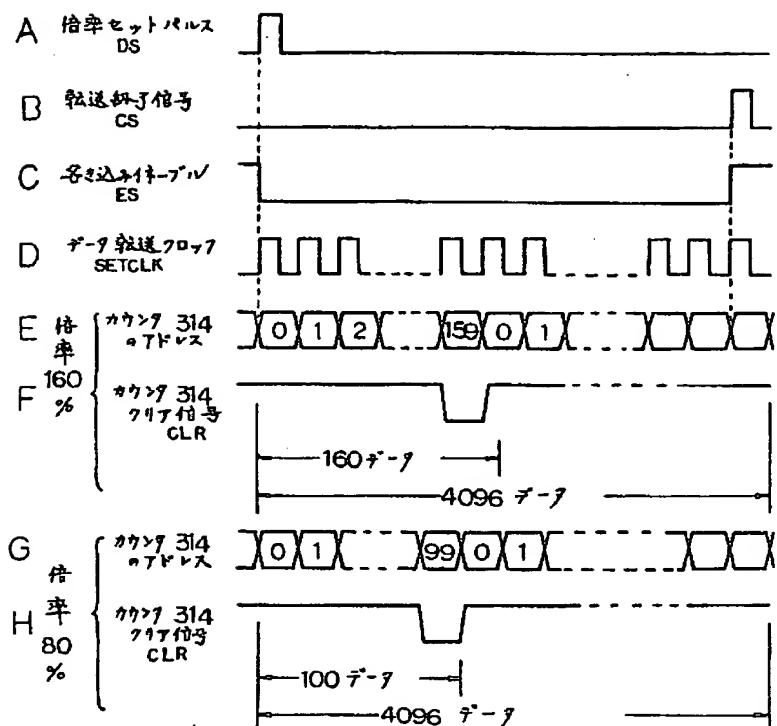


第 24 図

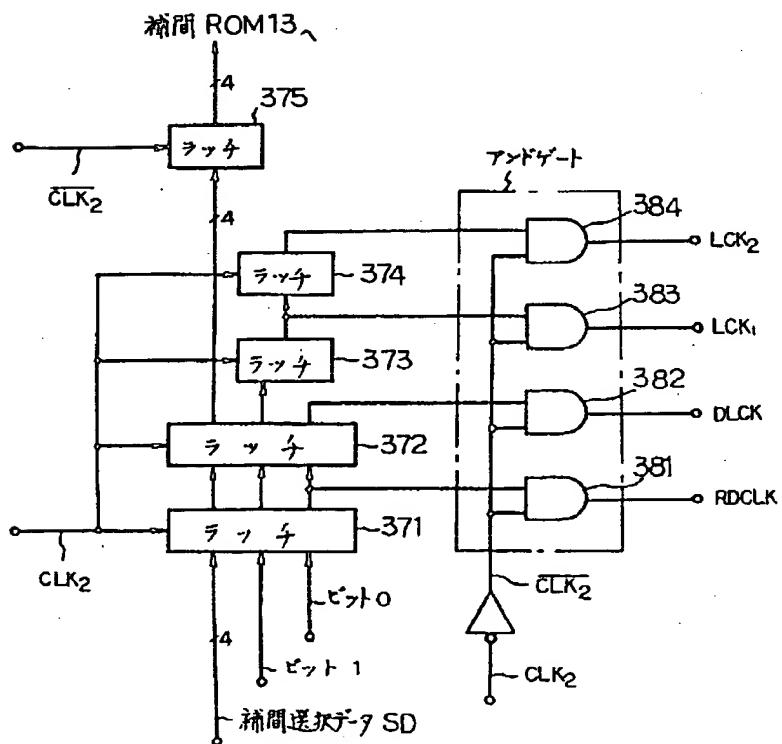
310: データ信号音込み回路



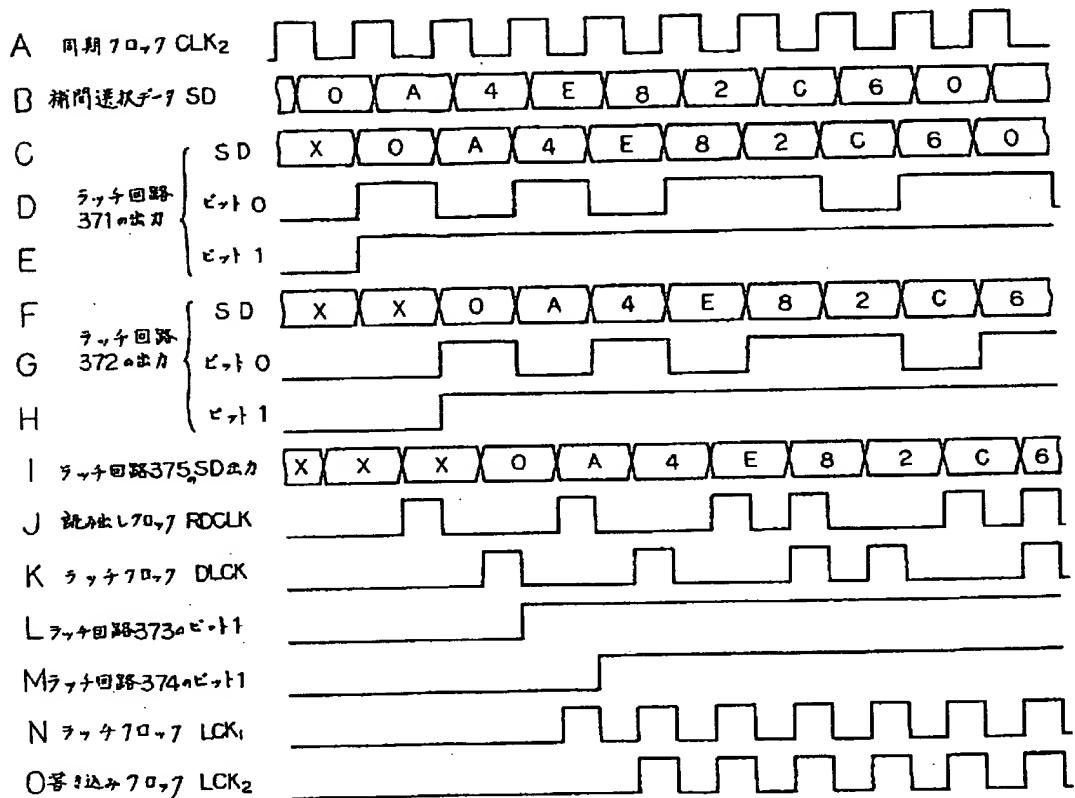
第 25 図



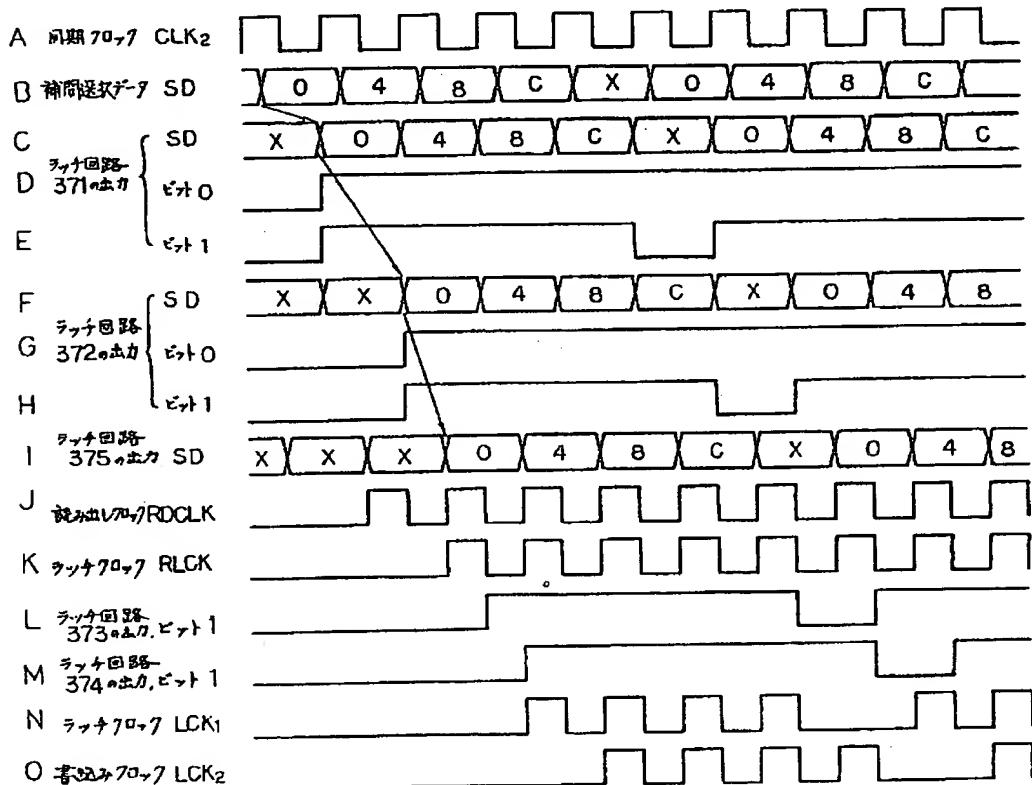
第 26 図



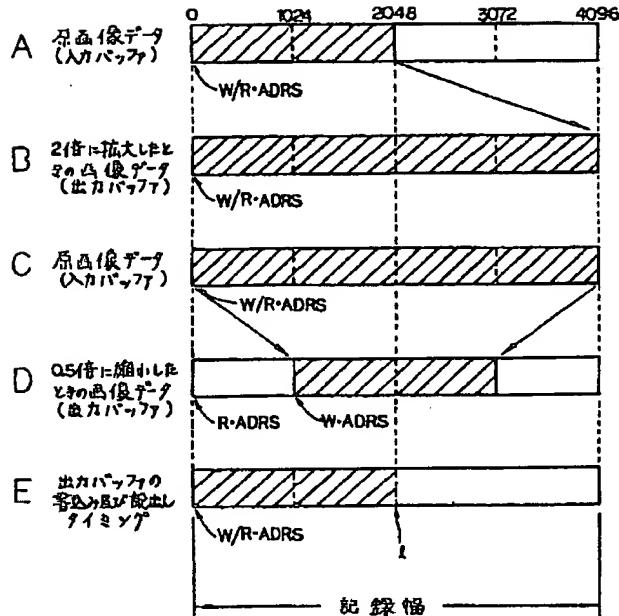
第 27 図



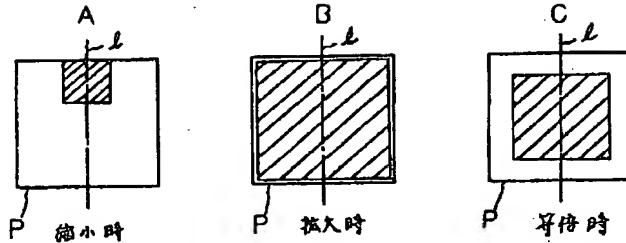
第 28 図



第 30 図



第 31 図



第 32 図

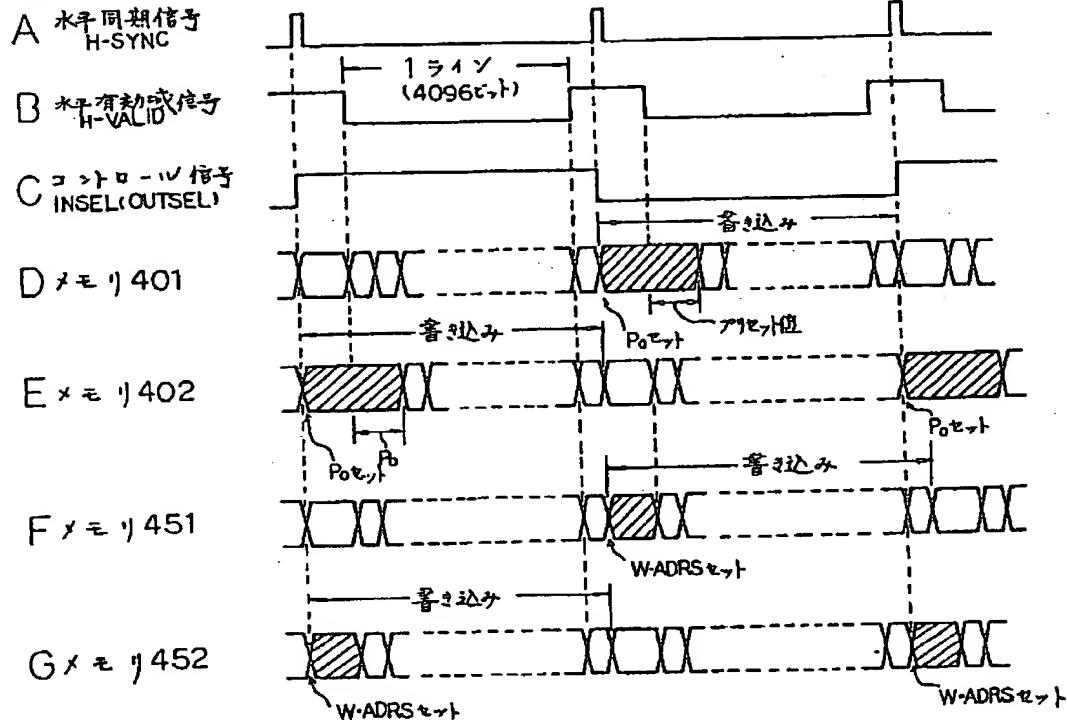
倍率 M	音込み開始アドレス	プリセットデータ Po
50%	1024	0
51%	1004	0
52%	983	0
.	.	.
.	.	.
100%	0	0
101%	0	41
.	.	.
198%	0	2027
199%	0	2038
200%	0	2048

第 36 図

オリジナル凸後データ	サンプリング位置	補回路データ SD
0 0.00000 0	33 33.75000 C	66 66.25000 4
1 1.25000 4	34 35.00000 *	67 67.50000 8
2 2.50000 8	35 35.00000 0	68 68.75000 C
3 3.75000 C	36 35.25000 4	69 70.00000 *
4 5.00000 *	37 35.50000 8	70 70.00000 0
5 5.00000 0	38 35.75000 C	71 71.25000 4
6 6.25000 4	39 40.00000 *	72 72.50000 8
7 7.50000 8	40 40.00000 0	73 73.75000 C
8 8.75000 C	41 41.25000 4	74 75.00000 *
9 10.00000 *	42 42.50000 8	75 75.00000 0
10 10.00000 0	43 43.75000 C	76 76.25000 4
11 11.25000 4	44 45.00000 *	77 77.50000 8
12 12.50000 8	45 45.00000 0	78 78.75000 C
13 13.75000 C	46 46.25000 4	79 80.00000 *
14 15.00000 *	47 47.50000 8	80 80.00000 0
15 15.00000 0	48 48.75000 C	81 81.25000 4
16 16.25000 4	49 50.00000 *	82 82.50000 8
17 17.50000 8	50 50.00000 0	83 83.75000 C
18 18.75000 C	51 51.25000 4	84 85.00000 *
19 20.00000 *	52 52.50000 8	85 85.00000 0
20 20.00000 0	53 53.75000 C	86 86.25000 4
21 21.25000 4	54 55.00000 *	87 87.50000 8
22 22.50000 8	55 55.00000 0	88 88.75000 C
23 23.75000 C	56 56.25000 4	89 90.00000 *
24 25.00000 *	57 57.50000 8	90 90.00000 0
25 25.00000 0	58 58.75000 C	91 91.25000 4
26 26.25000 4	59 60.00000 *	92 92.50000 8
27 27.50000 8	60 60.00000 0	93 93.75000 C
28 28.75000 C	61 61.25000 4	94 95.00000 *
29 30.00000 *	62 62.50000 8	95 95.00000 0
30 30.00000 0	63 63.75000 C	96 96.25000 4
31 31.25000 4	64 65.00000 *	97 97.50000 8
32 32.50000 8	65 65.00000 0	98 98.75000 C
		99 100.00000 *

縮小時率 80 %

第 33 図



第 34 図

オリジナル面積データ		補間選択データ SD		オリジナル面積データ		補間選択データ SD	
		サンプリング位置				サンプリング位置	
0	0.00000	0.62500	0A	33	33.12500	33.75000	2C
1	1.25000	1.87500	4E	34	34.37500		6
2	2.50000	8		35	35.00000	35.62500	0A
3	3.12500	3.75000	2C	36	36.25000	36.87500	4E
4	4.37500	6		37	37.50000		8
5	5.00000	5.62500	0A	38	38.12500	38.75000	2C
6	6.25000	6.87500	4E	39	39.37500		6
7	7.50000	8		40	40.00000	40.62500	0A
8	8.12500	8.75000	2C	41	41.25000	41.87500	4E
9	9.37500	6		42	42.50000		8
10	10.00000	10.62500	0A	43	43.12500	43.75000	2C
11	11.25000	11.87500	4E	44	44.37500		6
12	12.50000	8		45	45.00000	45.62500	0A
13	13.12500	13.75000	2C	46	46.25000	46.87500	4E
14	14.37500	6		47	47.50000		8
15	15.00000	15.62500	0A	48	48.12500	48.75000	2C
16	16.25000	16.87500	4E	49	49.37500		6
17	17.50000	8		50	50.00000	50.62500	0A
18	18.12500	18.75000	2C	51	51.25000	51.87500	4E
19	19.37500	6		52	52.50000		8
20	20.00000	20.62500	0A	53	53.12500	53.75000	2C
21	21.25000	21.87500	4E	54	54.37500		6
22	22.50000	8		55	55.00000	55.62500	0A
23	23.12500	23.75000	2C	56	56.25000	56.87500	4E
24	24.37500	6		57	57.50000		8
25	25.00000	25.62500	0A	58	58.12500	58.75000	2C
26	26.25000	26.87500	4E	59	59.37500		6
27	27.50000	8		60	60.00000	60.62500	0A
28	28.12500	28.75000	2C	61	61.25000	61.87500	4E
29	29.37500	6		62	62.50000		8
30	30.00000	30.62500	0A	63	63.12500	63.75000	2C
31	31.25000	31.87500	4E	64	64.37500		6
32	32.50000	8		65	65.00000	65.62500	0A
				66	66.25000	66.87500	4E
				67	67.50000		8
				68	68.12500	68.75000	2C
				69	69.37500		6
				70	70.00000	70.62500	0A
				71	71.25000	71.87500	4E
				72	72.50000		8
				73	73.12500	73.75000	2C
				74	74.37500		6
				75	75.00000	75.62500	0A
				76	76.25000	76.87500	4E
				77	77.50000		8
				78	78.12500	78.75000	2C
				79	79.37500		6
				80	80.00000	80.62500	0A
				81	81.25000	81.87500	4E
				82	82.50000		8
				83	83.12500	83.75000	2C
				84	84.37500		6
				85	85.00000	85.62500	0A
				86	86.25000	86.87500	4E
				87	87.50000		8
				88	88.12500	88.75000	2C
				89	89.37500		6
				90	90.00000	90.62500	0A
				91	91.25000	91.87500	4E
				92	92.50000		8
				93	93.12500	93.75000	2C
				94	94.37500		6
				95	95.00000	95.62500	0A
				96	96.25000	96.87500	4E
				97	97.50000		8
				98	98.12500	98.75000	2C
				99	99.37500		6

最大値率 16.0 %

第35図

ADRS	処理タイミング信号TD															
	+0	+1	+2	+3	+4	+5	+6	+7	+8	+9	+A	+B	+C	+D	+E	+F
00	07	A6	47	E6	87	27	C6	67	07	A6	47	E6	87	27	C6	67
10	07	A6	47	E6	87	27	C6	67	07	A6	47	E6	87	27	C6	67
20	07	A6	47	E6	87	27	C6	67	07	A6	47	E6	87	27	C6	67
30	07	A6	47	E6	87	27	C6	67	07	A6	47	E6	87	27	C6	67
40	07	A6	47	E6	87	27	C6	67	07	A6	47	E6	87	27	C6	67
50	07	A6	47	E6	87	27	C6	67	07	A6	47	E6	87	27	C6	67
60	07	A6	47	E6	87	27	C6	67	07	A6	47	E6	87	27	C6	67
70	07	A6	47	E6	87	27	C6	67	07	A6	47	E6	87	27	C6	67
80	07	A6	47	E6	87	27	C6	67	07	A6	47	E6	87	27	C6	67
90	07	A6	47	E6	87	27	C6	67	07	A6	47	E6	87	27	C6	67
A0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
B0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
C0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
D0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
E0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
F0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00

繰り返し信号

データROM311の内容 (拡大倍率160%の場合)

第37図

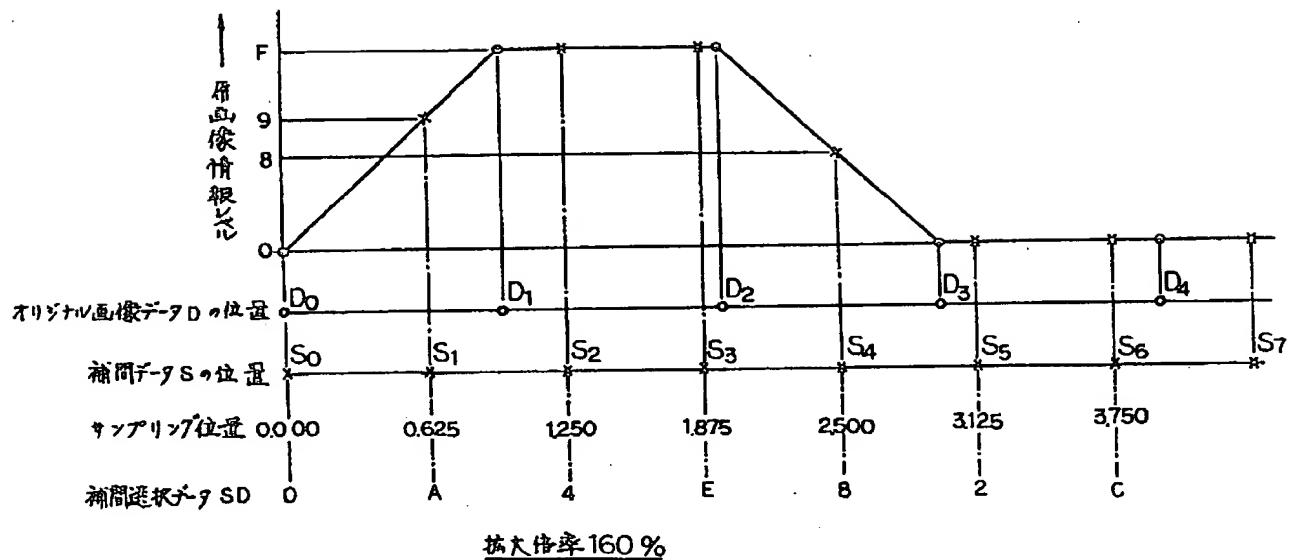
ADRS	処理タイミング信号TD															
	+0	+1	+2	+3	+4	+5	+6	+7	+8	+9	+A	+B	+C	+D	+E	+F
00	07	47	87	C7	05	07	47	87	C7	05	07	47	87	C7	05	07
10	47	87	C7	05	07	47	87	C7	05	07	47	87	C7	05	07	47
20	87	C7	05	07	47	87	C7	05	07	47	87	C7	05	07	47	87
30	C7	05	07	47	87	C7	05	07	47	87	C7	05	07	47	87	C7
40	05	07	47	87	C7	05	07	47	87	C7	05	07	47	87	C7	05
50	07	47	87	C7	05	07	47	87	C7	05	07	47	87	C7	05	07
60	47	87	C7	05	07	47	87	C7	05	07	47	87	C7	05	07	47
70	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
80	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
90	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
A0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
B0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
C0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
D0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
E0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
F0	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00

無効データ

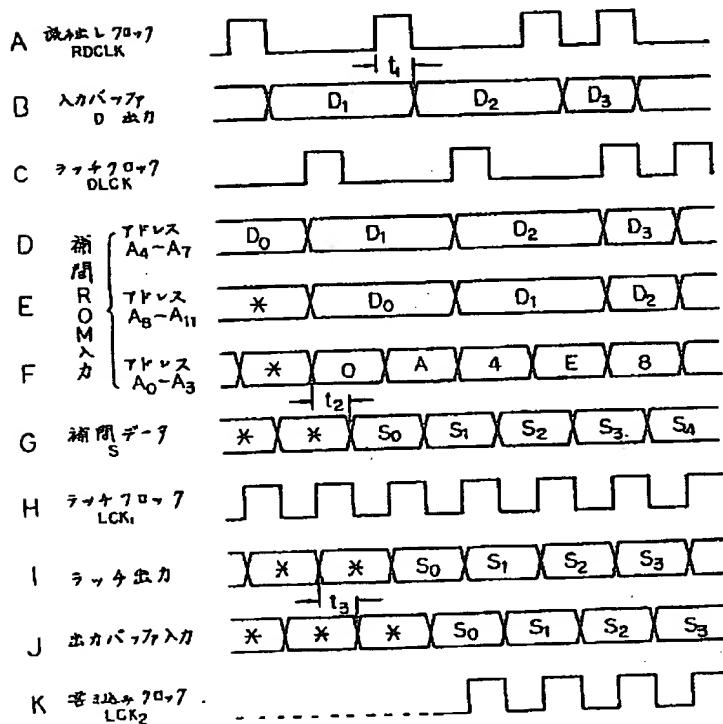
繰り返し信号

データROM311の内容 (縮小倍率80%の場合)

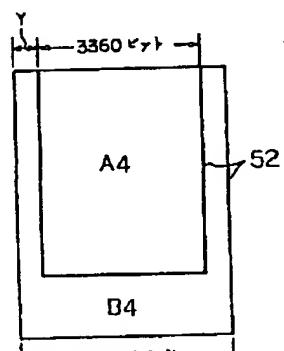
第38図



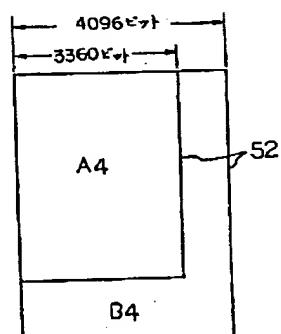
第39図



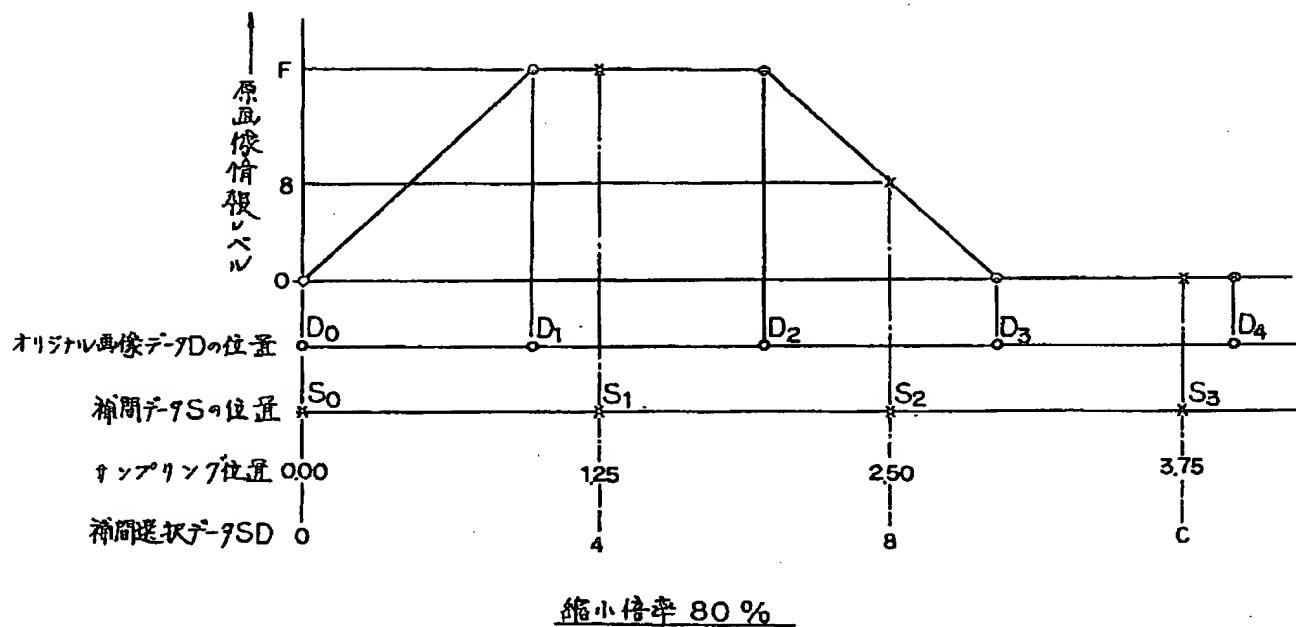
第42図



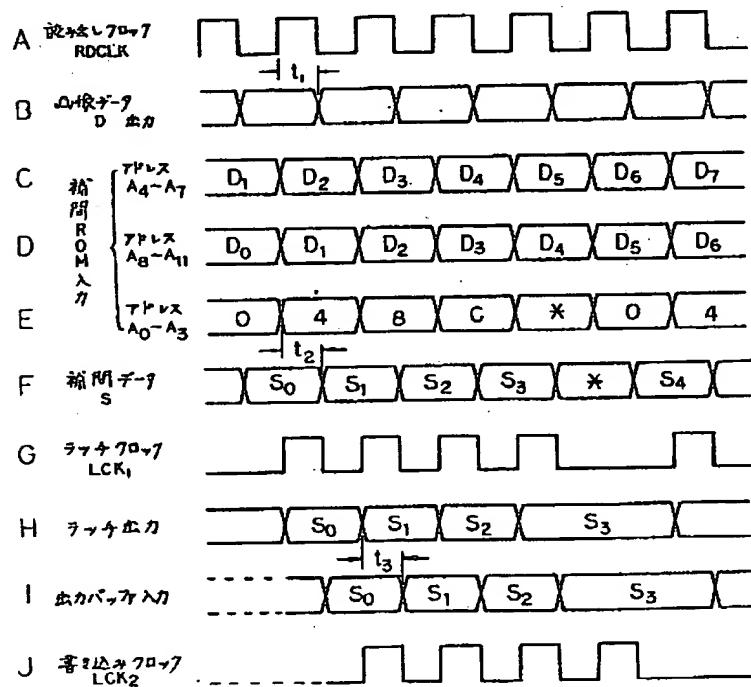
第43図



第 40 図



第 41 図



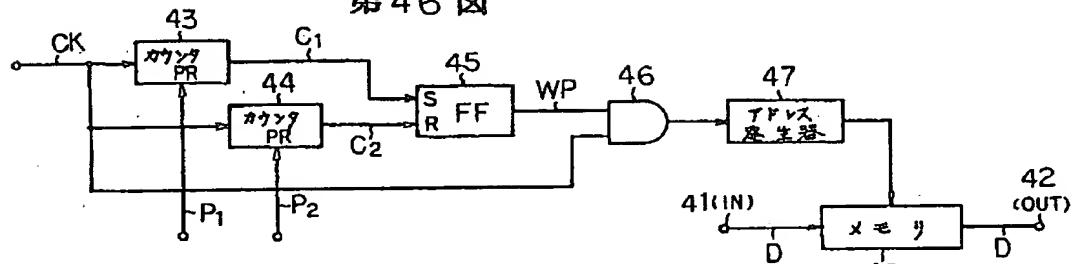
第44図

倍率 M	入力バッファ側の プリセットデータ Po	出力バッファの 書き込み開始アドレス
50%	368	0
51%	368	0
52%	368	0
.	.	.
.	.	.
.	.	.
100%	368	0
101%	368	0
.	.	.
.	.	.
.	.	.
198%	368	0
199%	368	0
200%	368	0

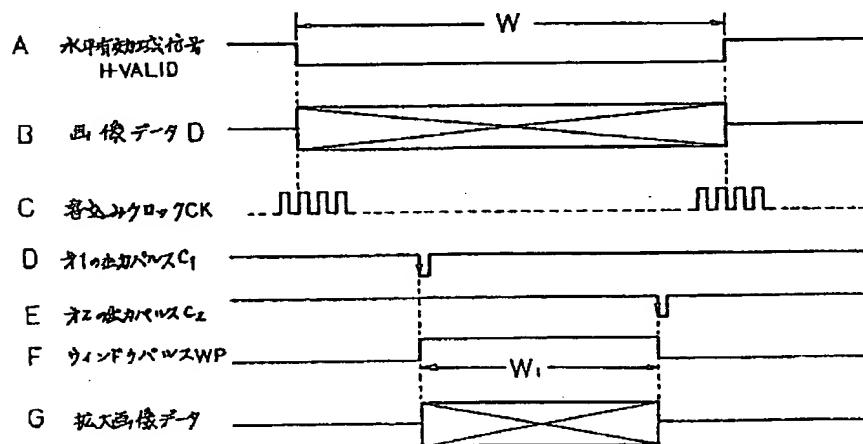
第45図

倍率 M	入力バッファ側の プリセットデータ Po	出力バッファの 書き込み開始アドレス
50%	0	1208
51%	0	1191
52%	0	1174
.	.	.
.	.	.
.	.	.
100%	0	368
.	.	.
.	.	.
.	.	.
198%	1291	0
199%	1302	0
200%	1312	0

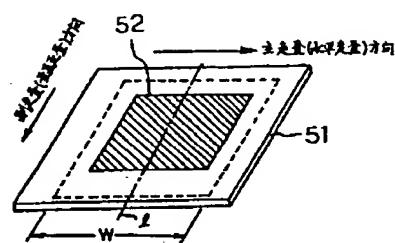
第46図



第47図



第48図



第49図

